

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 1 0 日
Date of Application:

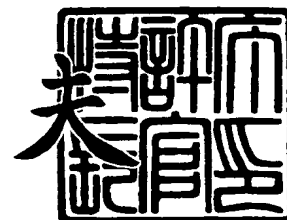
出 願 番 号 特 願 2 0 0 2 - 3 5 7 6 5 0
Application Number:
[ST. 10/C] : [J P 2 0 0 2 - 3 5 7 6 5 0]

出 願 人 シャープ株式会社
Applicant(s):

2 0 0 3 年 1 0 月 2 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 0 8 6 1 5 4

【書類名】 特許願

【整理番号】 185244

【提出日】 平成14年12月10日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/747
H01L 31/111

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 鞠山 満

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 久保 勝

【特許出願人】

【識別番号】 000005049

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 葆

【選任した代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【選任した代理人】

【識別番号】 100084146

【弁理士】

【氏名又は名称】 山崎 宏

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208766

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 双方向フォトサイリスタチップ、光点弧カプラ、および、ソリッドステートリレー

【特許請求の範囲】

【請求項 1】 1つの半導体チップの表面に、互いに離間して形成された第1フォトサイリスタ部および第2フォトサイリスタ部と、

上記半導体チップの表面に、略全幅に互って形成されると共に、上記第1フォトサイリスタ部のチャネルと上記第2フォトサイリスタ部のチャネルとを分離するチャネル分離領域を備えて、

上記チャネル分離領域の延在方向は、上記第1フォトサイリスタ部のチャネルおよび第2フォトサイリスタ部のチャネルの方向と交差する方向であることを特徴とする双方向フォトサイリスタチップ。

【請求項 2】 1つの半導体チップの表面に、第1の導電型を有する第1拡散層と第2の導電型を有する第2拡散層とを含む複数のフォトサイリスタ部が、略全幅に互って形成されたチャネル分離領域を挟んで、上記各拡散層を上記チャネル分離領域に並行にして配列されており、

上記各フォトサイリスタ部のチャネルは、上記チャネル分離領域によって互いに分離されていることを特徴とする双方向フォトサイリスタチップ。

【請求項 3】 1つの半導体チップの表面に、第1の導電型を有する第1拡散層と第2の導電型を有する第2拡散層とを含む2つのフォトサイリスタ部が、略全幅に互って形成されたチャネル分離領域を挟んで、上記各拡散層を上記チャネル分離領域に並行にして配列されており、

上記各フォトサイリスタ部のチャネルは、上記チャネル分離領域によって互いに分離されており、

上記第1フォトサイリスタ部の第1拡散層と第2フォトサイリスタ部の第2拡散層とが電氣的に接続される一方、上記第1フォトサイリスタ部の第2拡散層と上記第2フォトサイリスタ部の第1拡散層とが電氣的に接続されていることを特徴とする双方向フォトサイリスタチップ。

【請求項 4】 請求項 1 乃至請求項 3 の何れか一つに記載の双方向フォトサ

イリスタチップにおいて、

上記チャネル分離領域は、上記半導体チップの表面に形成されたダイシング溝で構成されていることを特徴とする双方向フォトサイリスタチップ。

【請求項 5】 請求項 1 乃至請求項 3 の何れか一つに記載の双方向フォトサイリスタチップにおいて、

上記半導体チップは N 型シリコン基板で構成され、

上記チャネル分離領域は、上記 N 型シリコン基板の表面に形成されたリングドープされた酸素ドープ半絶縁多結晶シリコン膜を含んで構成されていることを特徴とする双方向フォトサイリスタチップ。

【請求項 6】 請求項 1 乃至請求項 3 の何れか一つに記載の双方向フォトサイリスタチップにおいて、

上記半導体チップは N 型シリコン基板で構成され、

上記チャネル分離領域は、上記 N 型シリコン基板の表面に接触して形成された酸素ドープ半絶縁多結晶シリコン膜を含んで構成されていることを特徴とする双方向フォトサイリスタチップ。

【請求項 7】 請求項 1 乃至請求項 3 の何れか一つに記載の双方向フォトサイリスタチップにおいて、

上記チャネル分離領域は、上記半導体チップの表面に形成されたショートダイオードを含んで構成されたことを特徴とする双方向フォトサイリスタチップ。

【請求項 8】 請求項 1 乃至請求項 3 の何れか一つに記載の双方向フォトサイリスタチップにおいて、

上記各フォトサイリスタ部は、アノード拡散領域とカソード拡散領域とを有しており、

上記アノード拡散領域は、上記カソード拡散領域よりもチャネル分離領域側に配置されていることを特徴とする双方向フォトサイリスタチップ。

【請求項 9】 請求項 1 乃至請求項 3 の何れか一つに記載の双方向フォトサイリスタチップにおいて、

上記各フォトサイリスタ部は、N 型または P 型のうち一方の導電型を持つアノード拡散領域と、N 型または P 型のうち他方の導電型を持つ基板と、上記アノ

ド拡散領域に対向する上記一方の導電型を持つゲート拡散領域と、このゲート拡散領域内に上記アノード拡散領域に対向して形成され上記他方の導電型を持つカソード拡散領域とを含むPNPN部を有しており、

上記PNPN部を構成するゲート拡散領域と基板との間に形成されたショットキーバリアダイオードを備えていることを特徴とする双方向フォトサイリスタチップ。

【請求項 1 0】 請求項 9 に記載された双方向フォトサイリスタチップにおいて、

上記ショットキーバリアダイオードは、上記カソード拡散領域に対向すると共に、上記カソード拡散領域と同じ長さで所定の幅に形成されていることを特徴とする双方向フォトサイリスタチップ。

【請求項 1 1】 請求項 1 0 に記載された双方向フォトサイリスタチップにおいて、

上記ショットキーバリアダイオードの幅を変更することによって、上記ショットキーバリアダイオードの面積を変え、

上記ショットキーバリアダイオードの面積を変更することによって、上記ショットキーバリアダイオードの順方向電圧が制御可能になっていることを特徴とする双方向フォトサイリスタチップ。

【請求項 1 2】 請求項 1 1 に記載された双方向フォトサイリスタチップにおいて、

上記ショットキーバリアダイオードの幅は、上記ショットキーバリアダイオードの順方向電圧が上記フォトサイリスタ部のゲート拡散領域と基板との間の順方向電圧よりも 2 0 mV 以上低い値になるように設定されていることを特徴とする双方向フォトサイリスタチップ。

【請求項 1 3】 請求項 1 1 に記載された双方向フォトサイリスタチップにおいて、

上記ショットキーバリアダイオードゲートを挟む 2 つの拡散領域の間隔は、上記ショットキーバリアダイオードが耐圧以内でピンチオフできる距離に設定されていることを特徴とする双方向フォトサイリスタチップ。

【請求項 14】 請求項 1 乃至請求項 3 の何れか一つに記載の双方向フォトサイリスタチップにおいて、

上記各フォトサイリスタ部は、N型またはP型のうち一方の導電型を持つアノード拡散領域と、N型またはP型のうち他方の導電型を持つ基板と、上記アノード拡散領域に対向する上記一方の導電型を持つゲート拡散領域と、このゲート拡散領域内に上記アノード拡散領域に対向して形成され上記他方の導電型を持つカソード拡散領域とを含むPNPN部を有しており、

上記カソード拡散領域とゲート拡散領域と基板とでなると共に上記PNPN部を構成するPNPNトランジスタのベースとエミッタ電極との間に、ゲート抵抗とスイッチング素子とを並列に接続し、

上記スイッチング素子の制御端子を、上記アノード拡散領域と基板とゲート拡散領域とでなると共に上記PNPN部を構成するPNPNトランジスタのベースに接続したことを特徴とする双方向フォトサイリスタチップ。

【請求項 15】 請求項 1 乃至請求項 3 の何れか一つに記載の双方向フォトサイリスタチップにおいて、

上記半導体チップはN型シリコン基板で構成され、

上記N型シリコン基板の裏面には、 10^{15}cm^{-3} 以上且つ 10^{18}cm^{-3} 以下の濃度でリンが注入されたN+層を形成したことを特徴とする双方向フォトサイリスタチップ。

【請求項 16】 請求項 1 乃至請求項 3 の何れか一つに記載の双方向フォトサイリスタチップにおいて、

請求項 4 乃至請求項 7 の何れか一つに記載の双方向フォトサイリスタチップにおけるチャンネル分離領域の構成と、

請求項 9 に記載の双方向フォトサイリスタチップにおけるPNPN部の構成およびショットキーバリアダイオードと、

請求項 15 に記載の双方向フォトサイリスタチップにおけるN型シリコン基板裏面のN+層の構成と
のうちの少なくとも何れか2つを備えたことを特徴とする双方向フォトサイリスタチップ。

【請求項 17】 請求項 1 乃至請求項 16 の何れか一つに記載の双方向フォトサイリスタチップと発光ダイオードとで構成されたことを特徴とする光点弧カプラ。

【請求項 18】 請求項 17 に記載の光点弧カプラとスナバ回路とで構成されたことを特徴とするソリッドステートリレー。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、双方向フォトサイリスタチップ、それを用いた点弧型カプラ、および、点弧型カプラを用いたソリッドステートリレー(以下、SSRと略称する)に関する。

【0002】

【従来の技術】

従来より、交流で使用するSSRとして、図20に示すような回路構成を有するものがある。このSSR8は、LED(発光ダイオード)等の発光素子1と点弧用の双方向フォトサイリスタ2とから成る光点弧カプラ3と、負荷を実制御するための双方向サイリスタ(以下、メインサイリスタと言う場合もある)4と、抵抗器5や容量6等で成るスナバ回路7とで構成されている。

【0003】

また、上記SSR8を構成する光点弧カプラ3の等価回路図は、図21に示す通りである。双方向フォトサイリスタ2は、CH(チャンネル)1のフォトサイリスタ9とCH2のフォトサイリスタ10とで構成されている。そして、CH1のフォトサイリスタ9は、PNPトランジスタQ1のベースをNPNトランジスタQ2のコレクタに接続する一方、PNPトランジスタQ1のコレクタをNPNトランジスタQ2のベースに接続して構成されている。同様に、CH2のフォトサイリスタ10は、PNPトランジスタQ3のベースをNPNトランジスタQ4のコレクタに接続する一方、PNPトランジスタQ3のコレクタをNPNトランジスタQ4のベースに接続して構成されている。

【0004】

さらに、上記CH1側においては、PNPトランジスタQ1のエミッタが直接電極T1に接続されている。一方、NPNトランジスタQ2のエミッタは直接に、ベースはゲート抵抗11を介して、電極T2に接続されている。同様に、CH2側においては、PNPトランジスタQ3のエミッタが直接電極T2に接続されている。一方、NPNトランジスタQ4のエミッタは直接に、ベースはゲート抵抗12を介して、電極T1に接続されている。

【0005】

図22は、図21における双方向フォトサイリスタ2の概略パターンレイアウトである。また、図23は図22におけるA-A'矢視断面概略図である。尚、図23(a)は光オン時の状態を示し、図23(b)は光オフ時の電圧反転時(転流時)の状態を示す。この双方向フォトサイリスタ2は、N型シリコン基板21の表面側に、2つのアノード拡散領域(P型)22と、このアノード拡散領域22に対向する2つのPゲート拡散領域(P型)23とを、夫々図において左右反対の状態に備えている。そして、上記各Pゲート拡散領域23内におけるアノード拡散領域22とは反対側に、カソード拡散領域(N型)24が設けられている。こうして、図中右側のアノード拡散領域22から左側のカソード拡散領域24に向かって、図21におけるCH1のフォトサイリスタ9を構成するPNPN部が形成されている。また、図中左側のアノード拡散領域22から右側のカソード拡散領域24に向かって、CH2のフォトサイリスタ10を構成するPNPN部が形成されている。

【0006】

すなわち、上記右側のアノード拡散領域22とN型シリコン基板21と左側のPゲート拡散領域23とで上記CH1のPNPトランジスタQ1を構成し、左側のカソード拡散領域24およびPゲート拡散領域23とN型シリコン基板21とでCH1のNPNトランジスタQ2を構成している。一方、左側のアノード拡散領域22とN型シリコン基板21と右側のPゲート拡散領域23とでCH2のPNPトランジスタQ3を構成し、右側のカソード拡散領域24およびPゲート拡散領域23とN型シリコン基板21とでCH2のNPNトランジスタQ4を構成しているのである。尚、右側のアノード拡散領域22と電極T1とはAuワイヤ25aで

接続される一方、カソード拡散領域 24 と電極 T1 とは右側の Al 電極 26 を介してチップ内で接続されている。また、左側のアノード拡散領域 22 と電極 T2 とは Au ワイヤ 25b で接続される一方、カソード拡散領域 24 と電極 T2 とは左側の Al 電極 26 を介してチップ内で接続されている。

【0007】

上記構成を有する光点弧カプラ 3 は以下のように動作する。すなわち、図 21 ～図 23 (a) において、電極 T1 - 電極 T2 間に素子のオン電圧 (約 1.5 V) よりも高い電圧の電源電圧がバイアスされている条件下で、先ず、電極 T1 側が電極 T2 側よりも正電位にある場合は、LED 1 からの光信号を双方向フォトサイリスタ 2 が受光すると、CH1 側の NPN トランジスタ Q2 がオン状態となる。そうすると、CH1 側の PNP トランジスタ Q1 のベース電流が引き出されることになり、この PNP トランジスタ Q1 がオンする。続いて、PNP トランジスタ Q1 のコレクタ電流によって CH1 側の NPN トランジスタ Q2 にベース電流が供給され、正帰還によって CH1 側の PNP 部がオンして、電極 T1 から電極 T2 へ交流回路の負荷に応じたオン電流が流れる。その場合、CH2 側では、バイアス印加の向きが逆であるから PNP 部の正帰還が起こらず、1 次光電流のみが流れる。

【0008】

一方、上記電極 T2 側が電極 T1 側よりも正電位にある場合は、CH2 側の PNP 部が、上述の場合と全く同様に正帰還動作してオンし、CH1 側では 1 次光電流のみが流れる。

【0009】

こうして、上記 CH1 側の PNP 部または CH2 側の PNP 部がオン動作すると、この電流がメインサイリスタ 4 のゲートに流れ込み、メインサイリスタ 4 をオンさせるのである。尚、上述したような光点弧カプラに用いられる双方向フォトサイリスタに関する先行技術文献としては、例えば、特許文献 1 等がある。

【0010】

ところで、図 20 に示す上記 SSR 8 の回路構成において、実際に負荷電流を制御するのはメインサイリスタ 4 であり、双方向フォトサイリスタ 2 は、メインサイリスタ 4 を光で点弧するために用いられるのである。そして、上記回路構成

を有する S S R 8 は、電氣的に絶縁されている特徴を有している。

【0 0 1 1】

一般的な S S R デバイス設計においては、上記点弧用の双方向フォトサイリスタ 2 は、L E D 1 からの光を受光し、その時発生する約 $10\ \mu\text{A}$ 程度の光励起電流によって動作するようにする。一方、メインサイリスタ 4 は、双方向フォトサイリスタ 2 の動作電流である 20mA 程度のゲートトリガ電流で動作する。したがって、L E D 1 の光励起電流では、メインサイリスタ 4 は到底オンできないのである。

【0 0 1 2】

ところで、上述したような、1 チップ内に双方向のチャネル C H 1, C H 2 を有して交流回路のスイッチとして用いられる素子の場合には、転流特性(後で詳述する)が重要な評価基準となっている。この転流特性によって、メインサイリスタ 4 は、制御したい電流値以上の実力がないと負荷を制御(オフ動作)できなくなって、誤動作に至ってしまう。同様に、双方向フォトサイリスタ 2 も、メインサイリスタ 4 のトリガ電流以上の実力がないと、上記転流特性によって誤動作することになり、その値はおおよそ 50mA 程度である。

【0 0 1 3】

また、上記転流特性を改善した 1 チップ内に双方向のチャネル C H 1, C H 2 を有する交流回路のスイッチとしては、図 2 4 に示すような光 P N P N スイッチがある(例えば、特許文献 2 参照)。この光 P N P N スイッチにおいては、N 型シリコン基板 3 1 の表面側に、アノード拡散領域(P 型) 3 2 とこのアノード拡散領域 3 2 に対向する P ゲート拡散領域(P 型) 3 3 とを、図 2 4 中の上側部分 3 0 a と下側部分 3 0 b とに左右反対の状態で設けている。両 P ゲート拡散領域 3 3, 3 3 内にはカソード拡散領域(N 型) 3 4, 3 4 が設けられている。これによって、チップの上側部分 3 0 a と下側部分 3 0 b との夫々に、アノード拡散領域 3 2 からカソード拡散領域 3 4 に向かって P N P N 部が構成される。

【0 0 1 4】

チップの上記上側部分 3 0 a と下側部分 3 0 b とは、N 型シリコン基板 3 1 の表面から基板内に止まる深さ D を持つ切り込み溝 3 5 によって仕切られている。そ

して、上側部分 30a において右側のアノード 32 からカソード 34 へ電流が流れる経路を CH1 とし、下側部分 30b において左側のアノード 32 からカソード 34 へ電流が流れる経路を CH2 とする。

【0015】

また、チップの上記両部分 30a, 30b に、CH1, CH2 の光感度を向上させるためのフォトトランジスタ Q5, Q5 が設けられている。各フォトトランジスタ Q5 は、P ゲート拡散距離 33 に関してアノード拡散領域 32 とは反対の側に設けられたベース拡散領域(P 型) 36 と、このベース拡散領域 36 内に形成されたエミッタ拡散領域(N 型) 37 と、コレクタとして働く N 型シリコン基板 31 とで構成されている。各フォトトランジスタ Q5 のベース拡散領域 36 とエミッタ拡散領域 37 との間にはベース抵抗(図示せず)が存在する。

【0016】

また、チップの上記上側部分 30a と下側部分 30b との夫々における PNP N 部の P ゲート拡散領域 33 と、フォトトランジスタ Q5 のベース拡散領域 36 との間にゲート抵抗(P 型) 38 が形成されている。そして、上側部分 30a のアノード拡散領域 32 と下側部分 30b のベース拡散領域 36 とをリードフレーム T1 に接続する一方、上側部分 30a のベース拡散領域 36 と下側部分 30b のアノード 32 とをリードフレーム T2 に接続する。こうして、上側部分 30a と下側部分 30b とに設けた PNP N 部を逆並列に接続することによって、1 チップで交流のスイッチングを行うのである。

【0017】

上記構成を有する光 PNP N スイッチは、以下のように動作する。すなわち、端子 T1, T2 に交流電圧が印加される。その場合、端子 T1 側が端子 T2 側よりも正電位(約 1.5 V 以上)であるとする。この状態で、チップ表面に光が入射されると、まず、フォトトランジスタ Q5 のベース拡散領域 36 に発生する光電流の寄与によって上側部分 30a のフォトトランジスタ Q5 がオン状態となる。そうすると、上側部分 30a のアノード拡散領域 32 と N 型シリコン基板 31 と P ゲート拡散領域 33 とで構成される PNP トランジスタのベース電流を引き出すことになり、この PNP トランジスタがオンする。続いて、この PNP トランジスタ

のコレクタ電流によって、上側部分30aのN型シリコン基板31とPゲート拡散領域33とカソード拡散領域34とで構成されるNPNトランジスタにベース電流が供給され、このNPNトランジスタがオンする。そうすると、上記PNPNトランジスタにベース電流が供給され、正帰還によってCH1側のPNPN部がオンして、端子T1から端子T2へ交流回路の負荷に応じたオン電流が流れる。

【0018】

この場合、上記CH2側では、バイアス印加の向きが逆であるからPNPN部の正帰還が起こらず、1次光電流のみが流れる。

【0019】

一方、端子T2側が端子T1側よりも正電位にある場合には、CH2側のPNPN部が全く同様に正帰還動作してオンし、CH1側では1次光電流のみが流れるのである。

【0020】

その際に、上記N型シリコン基板31における上側部分30aのPNPN部と下側部分30bのPNPN部との間に切り込み溝35が形成されている。したがって、この切り込み溝35によって、N型シリコン基板31内の少数キャリアである正孔の移動が制限される。また、切り込み溝35の側面は正孔をトラップして消滅させる効果も奏する。したがって、例えば上記CH1のPNPN部がオフ（以下、単に「CH1がオフ」と言う：「オン」の場合やCH2の場合も同様）した場合に、CH1側のN型シリコン基板31中に残存している正孔がCH2側へ移動し難くなる。したがって、CH2側へ移動した正孔によってCH2側の正帰還作用が促されて、CH2がオンするという誤動作（転流失敗）が抑制され、転流特性が改善されるのである。

【0021】

【特許文献1】

特開平10-242449号公報

【特許文献2】

特開平8-97403号公報

【0022】

【発明が解決しようとする課題】

近年、電子業界を取り巻く経済環境は益々厳しくなっており、電子機器のコストの削減や軽便性の向上が益々強く望まれるようになってきている。このような要求に対応するために、図 20 に示すような構成を有する従来の S S R において、例えば、部品点数を削減するため、メインサイリスタ 4 を省略して図 6 に示すような回路構成の S S R を作製し、双方向フォトサイリスタのみでダイレクトに負荷を制御する試みがなされている。

【0023】

その場合、上記双方向フォトサイリスタ 2 として、図 22 に示すような双方向フォトサイリスタや図 24 に示すような交流回路のスイッチを用いている場合には、以下のような問題が生ずるのである。

【0024】

先ず、図 22 に示す双方向フォトサイリスタを用いた場合には、この双方向フォトサイリスタの転流特性が最も問題となる。この転流特性は重要な設計パラメータであり、制御できる負荷電流はこの転流特性で決まるのである。

【0025】

ここで、上記転流特性について説明する。転流特性とは、正常動作の場合においては、図 23 (a) に示すように、C H1 がオンしている交流の半サイクル期間中に光入射が無くなった場合は、この半サイクル期間中は上記 P N P N 部の電流保持特性によってオン状態が継続する。そして、図 23 (b) に示すごとく、次の半サイクルに移行すると、光入射が無い限り C H2 はオンしない。しかしながら、スイッチングする交流回路に L 負荷が存在する場合には、電極 T1 - 電極 T2 間に印加される交流電圧の位相よりもオン電圧の位相が遅れるために、C H1 がオフする時点においては既に電極 T1 - 電極 T2 間には逆位相の交流電圧が印加されている。したがって、C H1 がオフした時点で C H2 側に急峻な立ち上がりを示す逆位相の電圧が印加されることになる。

【0026】

そのために、上記双方向フォトサイリスタ 2 の N 型シリコン基板 21 中に残存している正孔 27 が、消滅する前に矢印(A)に示すように右側の P ゲート拡散領

域 2 3 へ移動して、光入射が無いにも拘わらず上記 C H 2 側の P N P トランジスタをオンすると共に C H 2 側の正帰還作用を促して、C H 2 がオンするという誤動作(転流失敗)を招くのである。

【 0 0 2 7 】

つまり、上記「転流特性」とは、上述したような転流失敗を起こさずに制御可能な最大の動作電流値 I_{com} を表す特性なのである。

【 0 0 2 8 】

ところで、図 2 0 に示すような構成を有する従来の S S R において、メインサイリスタ 4 を省略して双方向フォトサイリスタ 2 のみでダイレクトに負荷を制御する場合には、双方向フォトサイリスタ 2 の能力としては 0.2 A 程度の負荷電流に耐え得るだけの能力が必要である。ところが、その場合に双方向フォトサイリスタ 2 に要求される転流特性 I_{com} は約 2 0 0 m A r m s 以上であり、通常この 1 / 5 程度の転流特性 I_{com} を呈する図 2 2 に示す双方向フォトサイリスタ 2 では上記転流失敗による誤動作が生ずるため、メインサイリスタ 4 を省略することができないという問題がある。

【 0 0 2 9 】

次に、図 2 4 に示すような交流回路のスイッチを用いた場合には、N 型シリコン基板 3 1 の表面に切り込み溝 3 5 を形成し、N 型シリコン基板 3 1 を C H 1 と C H 2 とに仕切っている。そして、各 C H 領域においては、アノード拡散領域 3 2 と、このアノード拡散領域 3 2 に対向する P ゲート拡散領域 3 3 と、この P ゲート拡散領域 3 3 内に設けられたカソード拡散領域 3 4 とを、切り込み溝 3 5 の形成方向に対して垂直方向に形成している。したがって、各 C H 領域において互いに対向して動作電流が流れるアノード拡散領域 3 2 とカソード拡散領域 3 4 との対向している長さは短くなっている。そのために、1 5 0 m A ~ 2 0 0 m A 程度の動作電流は流すことは可能であるが、対向している長さが短いためにオン電圧 V_T が高くなってデバイスの発熱が大きくなる。仮に、アノード拡散領域とカソード拡散領域とを横長に形成しても光感度的に効率が悪い。したがって、メインサイリスタを省略してダイレクトに負荷を制御する実力は無いのである。

【 0 0 3 0 】

そこで、この発明の目的は、1チップで光点弧して負荷を制御する機能を有すると共にSSRのメインサイリスタを省略可能にする双方向フォトサイリスタチップ、この双方向フォトサイリスタチップを用いた光点弧カプラ、および、この光点弧カプラを用いたSSRを提供することにある。

【0031】

【課題を解決するための手段】

上記目的を達成するため、この発明の双方向フォトサイリスタチップは、1つの半導体チップの表面に略全幅に亘って形成されたチャネル分離領域によって、上記半導体チップの表面に互いに離間して形成された第1フォトサイリスタ部のチャネルと第2フォトサイリスタ部のチャネルとが分離されている。また、上記チャネル分離領域の延在方向は、上記第1フォトサイリスタ部のチャネルおよび第2フォトサイリスタ部のチャネルの方向と交差する方向になっている。

【0032】

上記構成によれば、上記チャネル分離領域によって、転流時において、上記半導体チップを構成する基板内の少数キャリアの上記チャネル間の移動が制限される。したがって、例えば上記第1フォトサイリスタ部のチャネルがオフした場合に、上記第1フォトサイリスタ部側の基板中に残存しているキャリアが上記第2フォトサイリスタ部側へ移動し難くなる。その結果、上記第2フォトサイリスタ部側の正帰還作用によって上記第2フォトサイリスタ部のチャネルがオンするという誤動作が抑制されて、転流特性が改善される。

【0033】

その際に、上記チャネル分離領域の延在方向は各フォトサイリスタ部のチャネルと交差する方向になっているため、各フォトサイリスタ部のアノード拡散領域とカソード拡散領域とを、上記チャネル分離領域に沿って上記半導体チップの略全幅に亘って形成することが可能になる。したがって、上記半導体チップが上記チャネル分離領域によって2分割されているにも拘わらず負荷電流を制御可能な大きな動作電流が得られる。

【0034】

すなわち、本双方向フォトサイリスタチップを上記SSRの光点弧カプラとし

て用いることによってメインサイリスタを省略することが可能になり、部品点数が削減された安価な S S R を実現することが可能になる。

【0035】

また、この発明の双方向フォトサイリスタチップは、1つの半導体チップの表面に略全幅に亘って形成されたチャネル分離領域によって、上記半導体チップの表面に配列された各フォトサイリスタ部のチャネルが互いに分離されている。また、上記各フォトサイリスタ部における第1の導電型を持つ第1拡散層と第2の導電型を持つ第2拡散層とが、上記チャネル分離領域に並行にして配列されている。

【0036】

上記構成によれば、上記チャネル分離領域によって、転流時において、上記半導体チップを構成する基板内の少数キャリアの上記チャネル間の移動が制限されて、転流特性が改善される。その際に、上記各フォトサイリスタ部の上記第1拡散層と第2拡散層とを、上記チャネル分離領域に沿って上記半導体チップの略全幅に亘って形成することが可能になる。したがって、上記半導体チップが上記チャネル分離領域によって2分割されているにも拘わらず負荷電流を制御可能な大きな動作電流が得られる。

【0037】

すなわち、本双方向フォトサイリスタチップを上記 S S R の光点弧カプラとして用いることによってメインサイリスタを省略することが可能になり、部品点数が削減された安価な S S R を実現することが可能になる。

【0038】

また、この発明の双方向フォトサイリスタチップは、1つの半導体チップの表面に略全幅に亘って形成されたチャネル分離領域によって、上記半導体チップの表面に配列された各フォトサイリスタ部のチャネルが互いに分離されている。また、上記各フォトサイリスタ部における第1の導電型を持つ第1拡散層と第2の導電型を持つ第2拡散層とは上記チャネル分離領域に並行に配列されており、上記第1フォトサイリスタ部の第1拡散層と第2フォトサイリスタ部の第2拡散層とが電氣的に接続される一方、上記第1フォトサイリスタ部の第2拡散層と上記

第2フォトサイリスタ部の第1拡散層とが電氣的に接続されている。

【0039】

上記構成によれば、上記チャネル分離領域によって、転流時において、上記半導体チップを構成する基板内の少数キャリアの上記チャネル間の移動が制限されて、転流特性が改善される。その際に、上記各フォトサイリスタ部における各拡散層を、上記チャネル分離領域に沿って上記半導体チップの略全幅に亘って形成することが可能になる。したがって、上記半導体チップが上記チャネル分離領域によって2分割されているにも拘わらず負荷電流を制御可能な大きな動作電流が得られる。

【0040】

すなわち、本双方向フォトサイリスタチップを上記SSRの光点弧カプラとして用いることによってメインサイリスタを省略することが可能になり、部品点数が削減された安価なSSRを実現することが可能になる。

【0041】

また、1実施例の双方向フォトサイリスタチップでは、上記チャネル分離領域を、上記半導体チップの表面に形成されたダイシング溝で構成している。

【0042】

この場合には、上記チャネル分離領域が簡単に形成されると共に、ダイシング面で少数キャリアがトラップされ易いという副次的効果も得られるため、上記ダイシング溝によって、転流時における上記少数キャリアのチャネル間の移動が確実に阻止される。

【0043】

また、1実施例の双方向フォトサイリスタチップでは、上記半導体チップをN型シリコン基板で構成すると共に、上記チャネル分離領域を、上記N型シリコン基板の表面に形成されたリンがドーパされた酸素ドーパ半絶縁多結晶シリコン膜を含んで構成している。

【0044】

上記酸素ドーパ半絶縁多結晶シリコン膜にリンがドーパされると酸素ドーパ半絶縁多結晶シリコン膜内の準位が増大し、その結果シリコン界面準位(Q_{ss})が増

大する。そのため、この場合には、上記N型シリコン基板内の少数キャリアである正孔が上記チャネル分離領域において消滅されて、上記正孔のライフタイムの低減が促進される。こうして、転流時における上記正孔のチャネル間の移動が上記チャネル分離領域によって阻止される。

【0045】

また、1実施例の双方向フォトサイリスタチップでは、上記半導体チップをN型シリコン基板で構成すると共に、上記チャネル分離領域を、上記N型シリコン基板の表面に接触して形成された酸素ドーパ半絶縁多結晶シリコン膜を含んで構成している。

【0046】

上記チャネル分離領域において、上記N型シリコン基板の表面に接触させて上記酸素ドーパ半絶縁多結晶シリコン膜が形成されている。この場合には、上記チャネル分離領域のシリコン界面準位 Q_{ss} が著しく増大するため、上記正孔のライフタイムの低減が更に促進される。

【0047】

また、1実施例の双方向フォトサイリスタチップでは、上記チャネル分離領域を、上記半導体チップの表面に形成されたショートダイオードを含んで構成している。

【0048】

この場合には、上記半導体チップを構成する基板内の少数キャリアが上記チャネル分離領域におけるショートダイオードの拡散領域に吸収されて、上記少数キャリアのライフタイムが低減される。

【0049】

また、1実施例の双方向フォトサイリスタチップでは、上記各フォトサイリスタ部にアノード拡散領域とカソード拡散領域とを設け、上記アノード拡散領域を上記カソード拡散領域よりもチャネル分離領域側に配置している。

【0050】

この場合には、上記各フォトサイリスタ部において、上記チャネル分離領域側に配置されたアノード拡散領域から反チャネル分離領域側に配置された上記カソ

ード拡散領域に向ってチャンネルが形成される。したがって、各チャンネルは交差することが無く、上記チャンネル分離領域によって確実に分離される。

【0051】

また、1実施例の双方向フォトサイリスタチップでは、上記各フォトサイリスタ部を、N型またはP型のうち一方の導電型を持つアノード拡散領域と、N型またはP型のうち他方の導電型を持つ基板と、上記アノード拡散領域に対向する上記一方の導電型を持つゲート拡散領域と、このゲート拡散領域内に上記アノード拡散領域に対向して形成され上記他方の導電型を持つカソード拡散領域とを含むPNPN部を有して構成し、上記PNPN部を構成するゲート拡散領域と基板との間にはショットキーバリアダイオードを形成している。

【0052】

この場合には、上記ゲート拡散領域から基板への少数キャリアの注入が抑制されて残存キャリア量が減少し、上記チャンネル分離領域の効果と相俟って、更なる転流特性の改善が図られる。したがって、本双方向フォトサイリスタチップを用いれば、メインサイリスタを省略して部品点数を削減したSSRが、より簡単に実現される。

【0053】

また、1実施例の双方向フォトサイリスタチップでは、上記ショットキーバリアダイオードを、上記カソード拡散領域に対向すると共に、上記カソード拡散領域と同じ長さで所定の幅に形成している。そして、上記ショットキーバリアダイオードの幅を変更することによって上記ショットキーバリアダイオードの面積を変え、上記面積を変更することによって上記ショットキーバリアダイオードの順方向電圧を制御するようにしている。

【0054】

この場合には、上記PNPN部を構成するNPNトランジスタのベースであるゲート拡散領域からコレクタである基板へ流れる電流(誤動作の原因となるキャリア注入に相当)の値が、上記ショットキーバリアダイオードの幅によって設定可能になる。

【0055】

また、1実施例の双方向フォトサイリスタチップでは、上記ショットキーバリアダイオードの幅を、上記ショットキーバリアダイオードの順方向電圧が上記フォトサイリスタ部のゲート拡散領域と基板との順方向電圧よりも20mV以上低い値になるように設定している。

【0056】

この場合には、上記フォトサイリスタ部のゲート拡散領域と基板との順方向電圧を約0.6Vとすると、上記ゲート拡散領域から基板へ流れる電流が約1オーダー減少される。したがって、更なる転流特性の改善が図られる。

【0057】

また、1実施例の双方向フォトサイリスタチップでは、上記ショットキーバリアダイオードゲートを挟む2つの拡散領域の間隔を、上記ショットキーバリアダイオードが耐圧以内でピンチオフできる距離に設定している。

【0058】

この場合には、上記ショットキーバリアダイオードが耐圧以内でピンチオフできるため、800V近くの最大電圧が印加される使用環境であっても破壊に至ることはなく高信頼性が得られる。

【0059】

また、1実施例の双方向フォトサイリスタチップでは、上記各フォトサイリスタ部を、N型またはP型のうち一方の導電型を持つアノード拡散領域と、N型またはP型のうち他方の導電型を持つ基板と、上記アノード拡散領域に対向する上記一方の導電型を持つゲート拡散領域と、このゲート拡散領域内に上記アノード拡散領域に対向して形成され上記他方の導電型を持つカソード拡散領域とを含むPNPN部を有して構成し、上記カソード拡散領域とゲート拡散領域と基板とでなるPNPNトランジスタのベースとエミッタ電極との間にゲート抵抗とスイッチング素子とを並列に接続し、上記スイッチング素子の制御端子を、上記アノード拡散領域と基板とゲート拡散領域とでなるPNPNトランジスタのベースに接続している。

【0060】

この場合には、上記PNPNトランジスタのエミッタ電極と上記PNPNランジ

スタのエミッタ電極との間にバイアスされている電源電圧のゼロクロス点近傍においては、上記スイッチング素子はオフしており、上記NPNトランジスタには上記ゲート抵抗の抵抗値に応じたベース・エミッタ電圧が印加される。これに対して、上記電源電圧のゼロクロス点から離れた時間においては、上記スイッチング素子はオンするため上記NPNトランジスタのベース・エミッタ間が短絡されて、光信号を受光しても上記NPNトランジスタはオンできなくなる。

【0061】

こうして、上記電源電圧のゼロクロス点近傍のみにおいてフォトサイリスタ部をオンさせるゼロクロス機能が実現される。

【0062】

また、1実施例の双方向フォトサイリスタチップでは、上記半導体チップをN型シリコン基板で構成し、上記N型シリコン基板の裏面に 10^{15}cm^{-3} 以上且つ 10^{18}cm^{-3} 以下の濃度でリンが注入されたN+層を形成している。

【0063】

この場合には、上記N型シリコン基板裏面のN+層には 10^{15}cm^{-3} 以上の濃度でリンが注入されている。したがって、本双方向フォトサイリスタがデバイスとして正常に機能するために必要な $1000\text{V}/\mu\text{s}$ 以上の臨界オフ電圧上昇率 dv/dt が得られる。また、上記N+層には 10^{18}cm^{-3} 以下の濃度でリンが注入されている。したがって、メインサイリスタを省略して双方向フォトサイリスタのみでダイレクトに負荷を制御するSSRを実現するのに必要な約 $200\text{mA}_{\text{rms}}$ 以上の転流特性 I_{com} が得られる。

【0064】

すなわち、本実施例の双方向フォトサイリスタチップによれば、上記メインサイリスタを省略した部品点数の少ない安価なSSRが、光感度を損なうことなく実現される。

【0065】

また、この発明の光点弧カプラは、上記双方向フォトサイリスタチップとLEDとで構成されている。

【0066】

上記構成によれば、SSRのメインサイリスタ程度の機能を備えた双方向フォトサイリスタチップが用いられている。したがって、本光点弧カプラによれば、上記LEDからの光信号に応じてダイレクトに負荷を制御可能になる。

【0067】

また、この発明のSSRは、上記点弧カプラとスナバ回路とによって構成されている。

【0068】

上記構成によれば、LEDからの光信号に応じてダイレクトに負荷を制御できる点弧カプラを用いている。したがって、負荷を制御するためのメインサイリスタを省略することができ、部品点数の少ない安価なSSRが実現される。

【0069】

【発明の実施の形態】

以下、この発明を図示の実施の形態により詳細に説明する。

【0070】

・第1実施の形態

図1は、本実施の形態の双方向フォトサイリスタチップにおける概略パターンレイアウトを示し、図2および図3は図1におけるB-B'矢視断面概略図である。尚、図2は光オン時の状態を示し、図3は光オフ時の電圧反転時(転流時)の状態を示す。

【0071】

本実施の形態の双方向フォトサイリスタチップは、図1に示すように、チップを構成するN型シリコン基板41の中央に一方方向に向ってチャネル分離領域42が形成されている。そして、チャネル分離領域42の図中左右に、1個ずつのフォトサイリスタが配置されている。そして、上記2つのフォトサイリスタ間の距離L1を350 μ mにしている。尚、この距離L1は、300 μ m以上の距離であって長い程キャリアの分離において有利ではあるが、デメリットとしてチップサイズの増大(=コストアップ)と、光点弧カプラを構成する場合に真上に搭載されるLEDからの距離が拡大されることによる光感度の低下がある。そのため、この距離L1の適正化が必要である。

【0072】

上記各フォトサイリスタは、以下のような構成を有している。以下、便宜上、チャンネル分離領域42の図中左側の領域を左側部分40aと称し、右側の領域を右側部分40bと称する。

【0073】

先ず、上記左側部分40aにおいては、図1～図3に示すように、N型シリコン基板41の表面側に、アノード拡散領域(P型)43と、このアノード拡散領域43に対向するPゲート拡散領域(P型)44とを、夫々チャンネル分離領域42に沿って並行にN型シリコン基板41の略幅1杯に形成されている。さらに、Pゲート拡散領域44内には、アノード拡散領域43に対向する辺に沿って並行に上記アノード拡散領域43に近い側に、カソード拡散領域(N型)45が形成されている。こうして、アノード拡散領域43からカソード拡散領域45に向かってPNPN部が形成されている。尚、46はゲート抵抗である。

【0074】

次に、上記右側部分40bにおいては、チャンネル分離領域42に対して左側部分40aとは上下左右反対の状態で、アノード拡散領域43とPゲート拡散領域44とカソード拡散領域45とゲート抵抗46とが形成されている。

【0075】

上記N型シリコン基板41の不純物濃度は 10^{14}cm^{-3} 程度であり、Pゲート拡散領域44の不純物濃度は $10^{16}\text{cm}^{-3}\sim 10^{18}\text{cm}^{-3}$ 程度であり、カソード拡散領域45の不純物濃度は $10^{20}\text{cm}^{-3}\sim 10^{21}\text{cm}^{-3}$ 程度である。

【0076】

上記N型シリコン基板41の裏面には、リンを 10^{16}cm^{-3} の濃度になるようにイオン注入法によって注入して、N+層47を形成している。このように、上記N型シリコン基板41の裏面に高濃度のリンを注入してN+層47を形成することによって、このN+層47でキャリアの反射が起り、等価的なライフタイムが大きくなる所謂BSF(Back Surface Field)効果によって光感度が上昇するのである。尚、このような構造をとらずに、N型シリコン基板41の裏面をN-(N型基板のまま)にすると、キャリアはN型シリコン基板41の裏面で再結合し易

いため、等価的ライフタイムは小さくなる。

【0077】

後者は、図21に示すようなフォトサイリスタの等価回路の定数設計時において、上記等価的ライフタイムが小さいため転流特性においては有利であるが、PNPトランジスタの電流増幅率 $H_{fe}(pnp)$ が低下して光感度の低下を招く。これを補うためには、回路定数設計において、ゲート抵抗46やNPNトランジスタの電流増幅率 $H_{fe}(nnp)$ を増大しなければならなくなり、臨界オフ電圧上昇率 dv/dt 特性が低下するというデバイスの主要特性を満足しない問題が生じる。尚、臨界オフ電圧上昇率 dv/dt 特性もN型シリコン基板41のライフタイムに依存し、①裏面N-の場合に、ホールのライフタイム τ_p が小であり、アノード拡散領域43の拡散容量が低下してPNPトランジスタの動作応答が速くなって、臨界オフ電圧上昇率 dv/dt が小となる。一方、②裏面N+の場合、ホールのライフタイム τ_p が大で、アノード拡散領域43の拡散容量が増加してPNPトランジスタの動作応答が鈍くなって、臨界オフ電圧上昇率 dv/dt が大となる。

【0078】

そこで、この転流特性と臨界オフ電圧上昇率 dv/dt 特性とに関するトレードオフの相関を満たすために、N型シリコン基板41裏面のリン濃度を適正化して、PNPトランジスタの電流増幅率 $H_{fe}(pnp)$ の特性を任意の回路定数に設定する必要がある。

【0079】

ここで、図1において、上記左側部分40aで、図中右側のアノード拡散領域43から左側のカソード拡散領域45へ電流が流れる経路をCH(チャンネル)1と称する。一方、右側部分40bで、図中左側のアノード拡散領域43から右側のカソード拡散領域45へ電流が流れる経路をCH2と称する。

【0080】

上記チップの周辺に沿って、チャンネルストッパとしてのN型拡散領域50が形成されている。また、N型拡散領域50上に破線で示すようにAl電極51が形成されている。また、チャンネル分離領域42上に破線で示すようにAl電極52が形成されている。さらに、左側部分40aと右側部分40bとに、アノード拡散

領域 43 を覆うように Al 電極 (破線表示) 53 が形成され、P ゲート拡散領域 44、カソード拡散領域 45 およびゲート抵抗 46 を覆うように Al 電極 (破線表示) 54 が形成されている。尚、Al 電極 54 におけるカソード拡散領域 45 が形成されていない P ゲート拡散領域 44 上には、開口部 55 が形成されて受光部を形成している。尚、図 2 および図 3 では、Al 電極 51、52、53、54 を省略している。

【0081】

そして、上記左側部分 40a のアノード拡散領域 43 および右側部分 40b のカソード拡散領域 45 上の Al 電極 53、54 が Au ワイヤ 48a、48b によってリードフレーム T1 に接続される一方、左側部分 40a のカソード拡散領域 45 および右側部分 40b のアノード拡散領域 43 上の Al 電極 54、53 が Au ワイヤ 49a、49b によってリードフレーム T2 に接続されている。すなわち、上記左側部分 40a と右側部分 40b との 2 つのサイリスタを、逆並列にワイヤーボン드로配線するのである。このように、N 型シリコン基板 41 上に配線を形成しないようにすることによって、上記チップの略幅 1 杯にフォトサイリスタを形成することができ、チップがチャネル分離領域 42 で分割されているにも拘わらず 0.2 A 程度の負荷電流を制御可能な大きな動作電流を得ることができるのである。

【0082】

また、上記アノード拡散領域 43 は、カソード拡散領域 45 よりも内側に、つまり CH1 と CH2 との間に配置している。こうすることによって、印加電圧が反転 (転流時) した際の残存キャリアを、逆チャンネルのアノード拡散領域 43 で吸収する効果が得られるのである。但し、チップの光感度を上げる設計を優先したい場合には、カソード拡散領域をアノード拡散領域よりも内側に配置しても差し支えない。

【0083】

尚、パシベーション構造は、以下の実施の形態において詳述するが、酸化膜上に酸素ドーピングした多結晶シリコン膜を形成し、この酸素ドーピング多結晶シリコン膜の両端を Al 電極に接触させてこの間に電位勾配を形成することによって、Si-SiO₂ 界面の電界集中を緩和する。こうすることによって、高耐圧化が有利に行

えるフィールドプレート構造としている。

【0084】

上記構成を有する双方向フォトサイリスタチップは、以下のように動作する。すなわち、上記リードフレーム T1 - リードフレーム T2 間に、素子のオン電圧よりも高い電圧の電源電圧がバイアスされている条件下において、先ず、リードフレーム T1 側がリードフレーム T2 側よりも正電位にある場合は、LED 等からの光が左側部分 40a のフォトサイリスタに入射すると、左側部分 40a の N 型シリコン基板 41 と P ゲート拡散領域 44 とカソード拡散領域 45 とでなる NPN トランジスタの N 型シリコン基板 41 における P ゲート拡散領域 44 との境界に多数のキャリア(正孔)が発生し、P ゲート拡散領域 44 に光電流が発生する。そして、この光電流の寄与によって左側部分 40a の NPN トランジスタがオン状態となる。そうすると、図 2 に示すように、左側部分 40a のアノード拡散領域 43 と N 型シリコン基板 41 と P ゲート拡散領域 44 とでなる PNP トランジスタのベース電流が引き出されることになり、この PNP トランジスタがオンする。続いて、上記 PNP トランジスタのコレクタ電流によって上記 NPN トランジスタにベース電流が供給され、正帰還によって左側部分 40a の PNP N 部がオンして、リードフレーム T1 からリードフレーム T2 へ交流回路の負荷に応じたオン電流が流れる。その場合、右側部分 40b では、バイアス印加の向きが逆であるから PNP N 部の正帰還が起こらず、1 次光電流のみが流れる。

【0085】

一方、上記リードフレーム T2 側がリードフレーム T1 側よりも正電位にある場合には、右側部分 40b の PNP N 部が、上述の場合と全く同様に正帰還動作してオンし、左側部分 40a では 1 次光電流のみが流れる。

【0086】

その際に、上記 N 型シリコン基板 41 には、左側部分 40a と右側部分 40b とを分けるチャネル分離領域 42 が形成されており、左側部分 40a と右側部分 40b とに 1 個ずつ PNP N 部でなるフォトサイリスタが形成している。したがって、図 3 に示すように、このチャネル分離領域 42 によって、転流時(交流電圧に対応して負荷電流が減衰して保持電流のタイミングでサイリスタがオフする過

程)において、N型シリコン基板41内の少数キャリアである正孔56が吸い込まれてチャネル間の移動が制限される。したがって、例えばCH1がオフした場合に、左側部分40aのN型シリコン基板41中に残存している正孔56が右側部分40bへ移動し難くなる。その結果、右側部分40bの正帰還作用によってCH2がオンするという誤動作(転流失敗)を抑制でき、転流特性を改善できるのである。

【0087】

ところで、上述したように、上記転流特性と臨界オフ電圧上昇率 dv/dt 特性とに関するトレードオフの相関を満たすためにN型シリコン基板41裏面のリン濃度を適正化するのであるが、以下、このことに関して簡単に述べる。

【0088】

図4は、上記N型シリコン基板41裏面のN型不純物(リン)濃度と転流失敗を起こさずに制御可能な最大の動作電流値 I_{com} で表した転流特性との関係を示す。図中●は本実施の形態における複数の実施例を示し、○, △は従来のチャネル分離領域42がない双方向フォトサイリスタの比較例である。尚、基板裏面のN型不純物濃度 $10^{14}cm^{-3}$ は、N型シリコン基板41そのものである。図4より、本実施の形態の実施例の場合も比較例の場合も、基板裏面のN型不純物濃度の増加に伴って転流特性 I_{com} は減少する傾向にある。そして、上記メインサイリスタを省略して双方向フォトサイリスタのみでダイレクトに負荷を制御するSSRを実現する場合に、上記双方向フォトサイリスタに要求される転流特性 I_{com} は約200mA_{rms}以上である。したがって、図4より明らかなように、本実施の形態における基板裏面のN型不純物濃度は $10^{18}cm^{-3}$ 以下である必要がある。尚、N型不純物濃度 $10^{16}cm^{-3}$ において、約260mA_{rms}の転流特性 I_{com} が得られている。

【0089】

図5は、上記基板裏面のN型不純物濃度と臨界オフ電圧上昇率 dv/dt との関係を示す。図中●は本実施の形態における複数の実施例を示し、○, △は従来のチャネル分離領域42がない双方向フォトサイリスタの比較例である。図5より、本実施の形態の実施例の場合も比較例の場合も、N型不純物濃度の増加に伴って臨界オフ電圧上昇率 dv/dt は増加する傾向にある。そして、双方向フォトサイリ

スタがデバイスとして正常に機能するには、 $1000\text{ V}/\mu\text{s}$ 以上の臨界オフ電圧上昇率 dv/dt が要求される。したがって、図5より明らかなように、本実施の形態における基板裏面のN型不純物濃度は 10^{15} cm^{-3} 以上である必要がある。

【0090】

以上のように、互いにトレードオフの関係にある転流特性 I_{com} と臨界オフ電圧上昇率 dv/dt 特性との両者の要求を満たすためには、N+層47のリン濃度は 10^{15} cm^{-3} 以上且つ 10^{18} cm^{-3} 以下が望ましいのである。

【0091】

以上のごとく、本実施の形態においては、双方向フォトサイリスタチップのN型シリコン基板41の中央に、左側部分40aと右側部分40bとを分けるチャンネル分離領域42を形成し、左側部分40aと右側部分40bとに1個ずつPNPN部となるフォトサイリスタを形成している。その場合、各フォトサイリスタを構成するアノード拡散領域43とPゲート拡散領域44とカソード拡散領域45とを、夫々チャンネル分離領域42に平行に形成して、アノード拡散領域43からカソード拡散領域45に向かってPNPN部を形成している。こうすることによって、お互いのチャンネルの動作電流領域を交差させる必要がなく、N型シリコン基板41中に残存している転流時の過剰なキャリアが、逆チャンネル側への移動する機会を減少することができる。

【0092】

また、上記左側部分40aと右側部分40bとのフォトサイリスタを構成する両アノード拡散領域43間の距離を $300\text{ }\mu\text{m}$ 以上に保ち、アノード拡散領域43をCH1とCH2との間に配置している。こうすることによって、転流時の残存キャリアを、逆チャンネルのアノード拡散領域43で吸収する効果を得ることができる。

【0093】

また、上記アノード拡散領域43を覆うA1電極53とPゲート拡散領域44、カソード拡散領域45およびゲート抵抗46を覆うA1電極54との間隔、あるいは、N型拡散領域50を覆うA1電極51とA1電極54との間隔であるフィールド距離L2を $50\text{ }\mu\text{m}$ 以上にしている。したがって、 600 V の耐圧を得ること

ができる。尚、アノード拡散領域 43 と P ゲート拡散領域 44 との距離である P N P ベース幅 L_3 は、 $120\mu\text{m}$ 以上且つ $300\mu\text{m}$ 以下の範囲内でオン電圧 V_T に対して最適化される。但し、最小値は、耐圧設計のフィールドプレート構造より決まる。

【0094】

また、上記チャネル分離領域 42 を N 型シリコン基板 41 の幅 1 杯に形成し、各フォトサイリスタを構成するアノード拡散領域 43 と P ゲート拡散領域 44 とカソード拡散領域 45 とを、夫々チャネル分離領域 42 に平行にフィールド距離 L_2 を残して N 型シリコン基板 41 の幅 1 杯に形成している。そして、左側部分 40a と右側部分 40b との 2 つのサイリスタを、逆並列にワイヤーボンドで配線している。したがって、チップがチャネル分離領域 42 で分割されているにも拘わらず、0.2 A 程度の負荷電流を制御可能な大きな動作電流を得ることができる。

【0095】

すなわち、本実施の形態における双方向フォトサイリスタチップに寄れば、0.2 A 程度までの負荷電流であれば誤動作無く制御することができ、上記 S S R のメインサイリスタ程度の機能を備えていると言うことができる。したがって、本実施の形態の双方向フォトサイリスタチップを用いれば、図 6 に示す回路図のごとく、メインサイリスタを省略して、LED 57 および本実施の形態の双方向フォトサイリスタチップ 58 でなる点弧用兼負荷制御用の光点弧カプラ 59 とスナバ回路 60 とで構成された、部品点数を削減した安価な S S R を実現することができるのである。

【0096】

尚、図 1 ～図 3 に示す双方向フォトサイリスタチップにおいては、上記左側部分 40a のアノード拡散領域 43 および右側部分 40b のカソード拡散領域 45 をリードフレーム T1 に接続する一方、左側部分 40a のカソード拡散領域 45 および右側部分 40b のアノード拡散領域 43 をリードフレーム T2 に接続している。しかしながら、本双方向フォトサイリスタチップにおける各リードフレーム T1, T2 への接続方法は、これに限定されるものではなく図 7 に示すごとく行っても

差し支えない。

【0097】

すなわち、上記左側部分40aのアノード拡散領域43及び右側部分40bのカソード拡散領域45上のAl電極53, 54をAuワイヤ61aによって接続し、さらに右側部分40bのAl電極54をAuワイヤ61bによってリードフレームT1に接続する。一方、左側部分40aのカソード拡散領域45及び右側部分40bのアノード拡散領域43上のAl電極54, 53をAuワイヤ62aによって接続し、さらに上記右側部分40bのAl電極53をAuワイヤ62bによってリードフレームT2に接続するのである。

【0098】

また、図1～図3に示す上記双方向フォトサイリスタチップでは、上記各フォトサイリスタには、チャンネル分離領域42側から順次形成されたアノード拡散領域43とPゲート拡散領域44とカソード拡散領域45とによって、チャンネル分離領域42側に位置しているアノード拡散領域43から外側に位置しているカソード拡散領域45に向かって電流の流れ(CH：チャンネル)が形成されるようになっている。

【0099】

これに対して、図8に示すように、N型シリコン基板71の中央にチップの幅1杯に形成されたチャンネル分離領域72によって分離された左側部分73aと右側部分73bとの夫々に、チャンネル分離領域72に沿って平行に形成されたPゲート拡散領域74と、Pゲート拡散領域74内における反チャンネル分離領域72側に形成されたカソード拡散領域75と、カソード拡散領域75に対向して形成されたアノード拡散領域76とによって、PNPN部でなるフォトサイリスタを形成する。そして、外側に位置しているアノード拡散領域76からチャンネル分離領域72側に位置しているカソード拡散領域75に向かって電流の流れ(CH：チャンネル)を形成するようにしてもよい。

【0100】

この場合にも、図1～図3に示す双方向フォトサイリスタチップの場合と同様に、チャンネル分離領域72によって、転流時においてN型シリコン基板71内の

少数キャリアである正孔のチャネル間の移動を制限できる。したがって、転流失敗を抑制して転流特性を改善できるのである。

【0101】

また、お互いのチャネルの動作電流領域を交差させる必要がなく、N型シリコン基板71中に残存している転流時の過剰なキャリアが、逆チャネル側への移動する機会を減少することができる。また、各フォトサイリスタを構成するPゲート拡散領域74とカソード拡散領域75とアノード拡散領域76とを上記フィールド距離L2を残してN型シリコン基板71の幅1杯に形成して、0.2A程度の負荷電流を制御可能な大きな動作電流を得ることができる。したがって、メインサイリスタを省略して部品点数を削減した安価なSSRを実現することができるのである。

【0102】

尚、本実施の形態においては、上記左側部分40a, 73aのフォトサイリスタと右側部分40b, 73bのフォトサイリスタとに関して、アノード拡散領域43, 76とカソード拡散領域45, 74とがチャネル分離領域42, 72に直交する方向に逆の順序で配列されている(つまり、チャネル分離領域42, 72に関して対象に配列されている)。しかしながら、この発明は、同じ順序で配列されている場合であっても、同様の効果を奏することができる。

【0103】

・第2実施の形態

以下、上記チャネル分離領域42, 72の具体的構成について説明する。図9は、本実施の形態におけるパシベーション構造を示すチャネル分離領域82付近のN型シリコン基板81の断面図である。本実施の形態におけるチャネル分離領域82は、N型シリコン基板81に穿たれた深さ100 μ mのダイシング溝82'で構成されている。こうして、左側部分83aのPNPN部と右側部分83bのPNPN部との間に形成されたダイシング溝82'によって、N型シリコン基板81内の少数キャリアである正孔80の移動を制限するのである。また、ダイシング溝82'の側面は荒れているため正孔80がトラップされ易く、ダイシング面で正孔80を再結合させて消滅させる効果も奏する。したがって、例えばCH1

がオフした際に、左側部分 8 3 a の N 型シリコン基板 8 1 中に残存している正孔 8 0 が右側部分 8 3 b へ移動し難くなる。その結果、右側部分 8 3 b の正帰還作用によって C H₂ がオンするという誤動作(転流失敗)を抑制でき、転流特性を改善できるのである。

【 0 1 0 4 】

また、上記ダイシング溝 8 2' の左側部分 8 3 a と右側部分 8 3 b との夫々に、側面がダイシング溝 8 2' を臨むチャネルストッパとしての N 型拡散領域 8 4 を形成し、N 型シリコン基板 8 1 上におけるアノード拡散領域 8 5 上から N 型拡散領域 8 4 上にかけて SiO₂ 8 6 を形成している。さらに、SiO₂ 8 6 上に酸素がドーピングされた半絶縁多結晶シリコン膜 8 7 を形成し、酸素ドーピング半絶縁多結晶シリコン膜 8 7 上に SiN 8 8 を化学気相成長法によって形成する。そして、上記酸素ドーピング半絶縁多結晶シリコン膜 8 7 の一端側にはアノード拡散領域 8 5 上から SiN 8 8 上にかけて Al 電極 8 9 を形成し、リードフレーム T1 またはリードフレーム T2 に接続する。一方、酸素ドーピング半絶縁多結晶シリコン膜 8 7 の他端側には SiO₂ 8 6 上から SiN 8 8 上にかけて Al 電極 9 0 を形成し、N 型シリコン基板 8 1 に接続している。こうして、酸素ドーピング半絶縁多結晶シリコン膜 8 7 の両端を Al 電極 8 9, 9 0 に接触させ、両 Al 電極 8 9, 9 0 間に電位勾配を形成して Si - SiO₂ 界面の電界集中を緩和する。こうして、高耐圧化が有利に行えるフィールドプレート構造としている。

【 0 1 0 5 】

尚、上記ダイシング溝 8 2' の深さは、上記 1 0 0 μ m に限らず、1 0 μ m 以上且つチップ厚の 2/3 以下であれば、N 型シリコン基板 8 1 がダイシングで割れることもなく上述した効果を得ることができるのである。また、左側部分 8 3 a のアノード拡散領域 8 5 と右側部分 8 3 b のアノード拡散領域 8 5 との間の距離であるチャネル間の距離 L1 は 3 5 0 μ m であるが、3 0 0 μ m 以上の距離であって長い程キャリアの分離において有利である。但し、チップサイズが増大するため上記距離の適正化が必要である。また、左側部分 8 3 a の N 型拡散領域 8 4 と右側部分 8 3 b の N 型拡散領域 8 4 との外側間の距離であるチャネル分離領域 8 2 の幅は 1 0 0 μ m であるが、5 0 μ m 以上であれば良い。

【0106】

・第3実施の形態

図10は、本実施の形態におけるパシベーション構造を示すチャネル分離領域92付近のN型シリコン基板91の断面図である。本実施の形態におけるチャネル分離領域92は、N型シリコン基板91上に形成されたリンがドーピングされた酸素ドーピング半絶縁多結晶シリコン膜で構成されている。酸素ドーピング半絶縁多結晶シリコン膜にリンをドーピングすると酸素ドーピング半絶縁多結晶シリコン膜内の準位が増大し、その結果シリコン界面準位(Q_{ss})が増大する。そのために、N型シリコン基板91内の少数キャリアである正孔を積極的に消滅させることができ、正孔のライフタイムの低減を促進することができるのである。

【0107】

上記N型シリコン基板91上におけるチャネル分離領域92の左側部分93aと右側部分93bとの夫々には、左側部分93aのアノード拡散領域94a上から右側部分93bのアノード拡散領域94b上にかけて SiO_2 95を形成している。さらに、 SiO_2 95上に酸素ドーピング半絶縁多結晶シリコン膜96を形成し、酸素ドーピング半絶縁多結晶シリコン膜96におけるチャネル分離領域92近傍の領域96'と両端部の領域96''とにリンをドーピングする。こうすることによって、N型シリコン基板91の表面におけるチャネル分離領域92の領域96'と両端部の領域96''とのシリコン界面準位 Q_{ss} が増大するのである。

【0108】

さらに、上記酸素ドーピング半絶縁多結晶シリコン膜96におけるリンをドーピングしていない領域の上に SiO_2 97を化学気相成長法によって形成する。そして、酸素ドーピング半絶縁多結晶シリコン膜96におけるリンをドーピングした一端部96''の位置にはアノード拡散領域94上からリン注入酸素ドーピング半絶縁多結晶シリコン膜96''上にかけてAl電極98を形成し、リードフレームT1またはリードフレームT2に接続する。一方、酸素ドーピング半絶縁多結晶シリコン膜96におけるリンをドーピングした領域96'には左側部分93aの SiO_2 97上から右側部分93bの SiO_2 97上にかけてAl電極99を形成し、N型シリコン基板91に接続している。こうして、酸素ドーピング半絶縁多結晶シリコン膜96の両端をAl電極9

8, 9 9 に接触させ、両 Al 電極 9 8, 9 9 間に電位勾配を形成して Si - SiO₂ 界面の電界集中を緩和する。こうして、本実施の形態においてもフィールドプレート構造を形成している。

【0 1 0 9】

上記構成によって、上記 N 型シリコン基板 9 1 の表面におけるチャネル分離領域 9 2 の位置のシリコン界面準位 Q_{ss} が増大するため、N 型シリコン基板 9 1 内の少数キャリアである正孔 1 0 0 がチャネル分離領域 9 2 において消滅され、チャネルの移動が制限されるのである。

【0 1 1 0】

さらに、上記アノード拡散領域 9 4 上における酸素ドーピング半絶縁多結晶シリコン膜 9 6 に対してリンをドーピングしている。したがって、N 型シリコン基板 9 1 の表面におけるアノード拡散領域 9 4 のチャネル分離領域 9 2 側近傍のシリコン界面準位 Q_{ss} が増大し、アノード拡散領域 9 4 を含む PNP トランジスタの電流増幅率 $H_{fe}(pnp)$ が低下する。その結果、保持電流(以下、 I_H と略称する)が $500 \mu A$ 以上に上がって上記 PNP 部のオン状態が継続する時間が長くなり、上記転流時において、誤動作に至るまでの時間的猶予を稼ぐことができ、逆チャネルへの移動するキャリアをより効果的に消滅させることが可能になる。

【0 1 1 1】

尚、上記 I_H を $500 \mu A$ 以上に上げる方法は、上述した①PNP トランジスタの電流増幅率 $H_{fe}(pnp)$ の低下に限らず、②上記カソード拡散面積の P ゲート拡散面積に対する面積比率を上げること、③上記 NPN トランジスタの電流増幅率 $H_{fe}(npn)$ あるいはゲート抵抗値を下げることで可能である。

【0 1 1 2】

ところで、上記酸素ドーピング半絶縁多結晶シリコン膜 9 6 に対して注入するリン濃度は高ければ高いほどシリコン界面準位 Q_{ss} が増大して転流特性改善には効果的であるが、あまり多すぎるとデバイス本来の信頼性等に悪影響を及ぼすため、シート抵抗で $1 \Omega/\square$ 以上且つ $2000 \Omega/\square$ が適当である。また、上記チャネル間の距離 L_1 は $350 \mu m$ にしているが、 $300 \mu m$ 以上の距離であって長い程キャリアの分離において有利である。但し、チップサイズが増大するため上記距離

の適正化が必要である。また、左側部分 93a と右側部分 93b との境界にある酸素ドーピング半絶縁多結晶シリコン膜 96 におけるリン注入領域 96' の幅であるチャネル分離領域 92 の幅は $100\mu\text{m}$ であるが、 $50\mu\text{m}$ 以上であれば良い。

【0113】

また、上記チャネル分離領域 92 の位置に形成された Al 電極 99 は、遮光膜としても機能することができる。

【0114】

・第 4 実施の形態

図 11 は、本実施の形態におけるパシベーション構造を示すチャネル分離領域 102 付近の N 型シリコン基板 101 の断面図である。本実施の形態におけるチャネル分離領域 102 は、N 型シリコン基板 101 の表面に酸素ドーピング半絶縁多結晶シリコン膜を直接形成することによって構成されている。

【0115】

上記 N 型シリコン基板 101 上におけるチャネル分離領域 102 の左側部分 103a と右側部分 103b との夫々には、左側部分 103a のアノード拡散領域 104a 上から右側部分 103b のアノード拡散領域 104b 上にかけて SiO_2 105 を形成している。そして、チャネル分離領域 102 の部分の SiO_2 105 を除去して、N 型シリコン基板 101 を露出させる。その状態において、左側部分 103a の SiO_2 105a におけるアノード拡散領域 104a 上の部分から右側部分 103b の SiO_2 105b におけるアノード拡散領域 104b 上の部分まで酸素ドーピング半絶縁多結晶シリコン膜 106 を形成する。こうして、チャネル分離領域 102 における N 型シリコン基板 101 の表面に接触させて酸素ドーピング半絶縁多結晶シリコン膜 106 を直接形成する。

【0116】

さらに、上記 SiO_2 105 上の領域における酸素ドーピング半絶縁多結晶シリコン膜 106 上に、 SiO_2 107 を化学気相成長法によって形成する。そして、アノード拡散領域 104 の表面から SiO_2 107 の表面にかけて Al 電極 108 を形成し、リードフレーム T1 またはリードフレーム T2 に接続する。一方、左側部分 103a の SiO_2 107 の表面から右側部分 103b の SiO_2 107 の表面にかけ

てAl電極109を形成して、N型シリコン基板101に接続している。こうして、酸素ドーパ半絶縁多結晶シリコン膜106の端部と中央部とをAl電極108, 109に接触させ、上記両Al電極108, 109間に電位勾配を形成してSi-SiO₂界面の電界集中を緩和する。こうして、本実施の形態においてもフィールドプレート構造を形成するのである。

【0117】

上記構成によって、上記N型シリコン基板101の表面におけるチャネル分離領域102には、酸素ドーパ半絶縁多結晶シリコン膜106が直接形成されている。このような構造をとることによって、上記第3実施の形態におけるチャネル分離領域92よりも本チャネル分離領域102のシリコン界面準位Q_{ss}が著しく増大する。そのため、上記第3実施の形態の場合と同様に、N型シリコン基板101内の少数キャリアである正孔110のライフタイムの低減を大いに促進することができるのである。

【0118】

尚、上記チャネル間の距離L1は350 μ mにしているが、300 μ m以上の距離であって長い程キャリアの分離において有利である。但し、チップサイズが増大するため上記距離の適正化が必要である。また、左側部分103aのSiO₂105aと右側部分103bのSiO₂105bとの間隔であるチャネル分離領域102の幅は100 μ mにしているが、50 μ m以上であれば良い。

【0119】

また、上記チャネル分離領域102の位置に形成されたAl電極109は、遮光膜としても機能することができる。

【0120】

・第5実施の形態

図12は、本実施の形態におけるパシベーション構造を示すチャネル分離領域112付近のN型シリコン基板111の断面図である。本実施の形態におけるチャネル分離領域112は、N型シリコン基板111の表面に形成されて短絡されたショートダイオードで構成されている。

【0121】

上記N型シリコン基板111の表面におけるチャネル分離領域112の領域にP型拡散領域115が形成され、P型拡散領域115における左側部分113aの側面の位置にN型シリコン基板111からP型拡散領域115にかけてチャネルストッパとしてのN型拡散領域116aが形成され、P型拡散領域115における右側部分113bの側面の位置にも同様にN型拡散領域116bが形成されている。

【0122】

上記左側部分113aと右側部分113bとの夫々には、アノード拡散領域114上からN型拡散領域116上にかけてSiO₂117を形成している。そして、SiO₂117上におけるアノード拡散領域114近傍からN型拡散領域116近傍にかけて酸素ドーブ半絶縁多結晶シリコン膜118を形成する。さらに、酸素ドーブ半絶縁多結晶シリコン膜118上にSiO₂119を化学気相成長法によって形成する。そして、アノード拡散領域114の表面からSiO₂119の表面にかけてAl電極120を形成し、リードフレームT1またはリードフレームT2に接続する。一方、左側部分113aのSiO₂119の表面から右側部分113bのSiO₂119の表面にかけてAl電極121を形成し、N型シリコン基板111に接続している。こうして、酸素ドーブ半絶縁多結晶シリコン膜118の両端をAl電極120, 121に接触させ、両Al電極120, 121間に電位勾配を形成してSi-SiO₂界面の電界集中を緩和する。こうして、本実施の形態においてもフィールドプレート構造を形成するのである。

【0123】

上記構成によって、上記N型シリコン基板111の表面におけるチャネル分離領域112には、P型拡散領域115とN型拡散領域116とで短絡されたショートダイオードが構成されている。そのため、N型シリコン基板111内の少数キャリアである正孔122が上記ショートダイオードのP型拡散領域115に吸収されて、正孔122のライフタイムが低減されるのである。

【0124】

尚、上記チャネル間の距離L1は350 μ mにしているが、300 μ m以上の距離であって長い程キャリアの分離において有利である。但し、チップサイズが増

大するため上記距離の適正化が必要である。また、左側部分 113a の N 型拡散領域 116a 外縁と右側部分 113b の N 型拡散領域 116b 外縁との距離であるチャンネル分離領域 112 の幅は $100\mu\text{m}$ としているが、 $50\mu\text{m}$ 以上であれば良い。

【0125】

また、上記チャンネル分離領域 112 の位置に形成された Al 電極 121 は遮光膜としても機能することができ、受光時にいたずらに上記ショートダイオードの領域から光が侵入してキャリアが発生することを抑制することができる。

【0126】

・第 6 実施の形態

本実施の形態は、双方向フォトサイリスタチップにおける上記 PNP 部を構成する P ゲート拡散領域と N 型シリコン基板との間に、ショットキーバリアダイオードを形成したものに関する。図 13 は本実施の形態の双方向フォトサイリスタチップにおける一方の CH 側のショットキーバリアダイオード形成部分のパターン図である。また、図 14 は、図 13 における C - C' 矢視断面図である。また、図 15 は、本実施の形態の双方向フォトサイリスタチップを用いた光点弧カプラの等価回路図である。

【0127】

本実施の形態の双方向フォトサイリスタチップにおいては、転流時に、上記 NPN トランジスタのベース領域に相当する P ゲート拡散領域は飽和の状態であるが、ショットキーバリアダイオードで上記 P ゲート拡散領域の少数キャリアが N 型シリコン基板へ注入される量を低減することによって、転流特性の向上を図るのである。

【0128】

図 13 および図 14 に示すように、例えば上記左側部分において、N 型シリコン基板 131 の表面側には、チャンネル分離領域(図示せず)に沿って上記フィールド距離 L_2 を残して N 型シリコン基板 131 の略幅 1 杯に、上記第 1 実施の形態の場合と同様に、アノード拡散領域(P 型) 132, P ゲート拡散領域(P 型) 133 およびカソード拡散領域(N 型) 134 を形成して、アノード拡散領域 132 か

らカソード拡散領域 134 に向かって PNP 部が形成されている。尚、上記チャネル分離領域の具体的構成は、上記第 2 実施の形態～第 5 実施の形態の何れの構成である。

【0129】

さらに、上記 P ゲート拡散領域 133 におけるカソード拡散領域 134 が形成されていない領域には、カソード拡散領域 134 に並行して矩形の P 型不純物が拡散されていない開口部 135 が設けられている。

【0130】

また、上記 N 型シリコン基板 131 の表面には SiO₂ 膜 136 が形成されており、この SiO₂ 膜 136 におけるアノード拡散領域 132、カソード拡散領域 134 および開口部 135 上の部分に開口が設けられている。そして、SiO₂ 膜 136 におけるアノード拡散領域 132 上の開口には Al 電極 137 が形成され、カソード拡散領域 134 上の開口には矩形の環状を成す Al 電極 138 の一辺が形成され、開口部 135 上の開口には Al 電極 139 が形成されている。尚、アノード拡散領域 132 に接触している Al 電極 137 はリードフレーム T1 (または T2) (図 1 参照) に接続され、カソード拡散領域 134 に接触している Al 電極 138 はリードフレーム T2 (または T1) (図 1 参照) に接続される。

【0131】

一方、上記 Al 電極 139 は、SiO₂ 膜 136 の開口を介して開口部 135 内の N 型シリコン基板 131 に直接接触している。こうして、P ゲート拡散領域 133 と N 型シリコン基板 131 との間に、ショットキーバリアダイオードを形成している。したがって、矢印 (B) で示すような P ゲート拡散領域 133 から N 型シリコン基板 131 への少数キャリア (ホール) の注入が抑制される。その結果、N 型シリコン基板 131 内の残存キャリア量が減少し、上記チャネル分離領域による少数キャリア (ホール) のチャネル間移動の抑制効果と相俟って、更なる転流特性の改善を図ることができるのである。上述の説明では、上記ショットキーバリアダイオードを構成する金属材料として Al を用いている。しかしながら、Al の代わりに Cr, Mo, Ti, Pt 等の金属材料を用いても差し支えない。

【0132】

尚、図15に示す光点弧カプラの等価回路において、141はLED、142は本実施の形態の双方向フォトサイリスタチップ、143はCH1側のフォトサイリスタ、144はCH2側のフォトサイリスタ、Q7, Q9はアノード拡散領域132とN型シリコン基板131とPゲート拡散領域133とで成るPNPトランジスタ、Q8, Q10はカソード拡散領域134とPゲート拡散領域133とN型シリコン基板131と成るNPNトランジスタ、145, 146は上記ショットキーバリアダイオードである。

【0133】

図16に、ショットキーバリアダイオード(SBD)の面積と順方向電圧 V_F との関係を示す。また、図17に、ショットキーバリアダイオード(SBD)の面積と転流特性 I_{com} との関係を示す。図16から分るように、面積と順方向電圧 V_F とは略反比例の関係にある。一方、図17から分るように、面積と転流特性 I_{com} とは略比例の関係にある。したがって、ショットキーバリアダイオード145, 146の面積の適正下限値は、適用されるサイリスタの所望の転流特性 I_{com} によって決まる。具体的には、残留キャリアの量や残留キャリアのライフタイムや誤動作に至る猶予時間等のパラメータによって決まる。一方、上記面積の適正上限値は、上記面積の増大がチップサイズの拡大につながるために、その弊害を許容できる最大値で決まるのである。

【0134】

具体的な一例として、上記ショットキーバリアダイオード145, 146の面積を、ショットキーバリアダイオード145, 146の順方向電圧 V_F が、適用されるサイリスタのPゲート拡散領域133とN型シリコン基板131との間の順方向電圧 V_F (約0.635V)よりも20mV低い値である0.615V(図16中●)以下になるように設定するのである。このようにショットキーバリアダイオード145, 146の順方向電圧 V_F を設定するのは、NPNトランジスタQ8, Q10のベースからコレクタへ流れる電流(誤動作の原因となるキャリア注入に相当)がショットキーバリアダイオード145, 146によってクランプされて、電流を減少させる効果を得るためである。尚、ショットキーバリアダイオード145, 146の順方向電圧 V_F は、Pゲート拡散領域133とN型シリコン基板1

31 との間の順方向電圧 V_F よりも $30\text{mV} \sim 35\text{mV}$ 低い値が好ましい。

【0135】

すなわち、上記ショットキーバリアダイオード 145, 146 の面積は、以下のようにすれば簡単に設定できる。先ず、ショットキーバリアダイオード 145, 146 の長さを、隣接するカソード拡散領域 134 と同じ長さに設定する。そして、ショットキーバリアダイオード 145, 146 の幅を、上述のように設定した順方向電圧 V_F になるように適正化するである。

【0136】

尚、上記ショットキーバリアダイオード 145, 146 の構造は、デバイス特性上 800V 近くの最大電圧が印加される使用環境であるため、Pゲート拡散領域 133 の開口部 135 の幅 L_4 は、ショットキーバリアダイオード 145, 146 がその耐圧以内でピンチオフできる距離に設定する必要がある。本実施の形態においては $50\mu\text{m}$ としている。

【0137】

上述したように、本実施の形態における双方向フォトサイリスタチップでは、Pゲート拡散領域 133 と N 型シリコン基板 131 との間にショットキーバリアダイオードを形成している。そのため、Pゲート拡散領域 133 から N 型シリコン基板 131 への少数キャリア(ホール)の注入が抑制されて残存キャリア量が減少し、上記チャネル分離領域の効果と相俟って、更なる転流特性の改善を図ることができる。したがって、本実施の形態の双方向フォトサイリスタチップを用いれば、メインサイリスタを省略して部品点数を削減した SSR を、より簡単に実現することができるのである。

【0138】

・第7実施の形態

本実施の形態は、ゼロクロス機能を持たせた双方向フォトサイリスタチップに関する。図 18 は、本実施の形態の双方向フォトサイリスタチップを用いた光点弧カプラの等価回路図である。本実施の形態の双方向フォトサイリスタチップ 152 は、上記第 1 実施の形態の双方向フォトサイリスタチップと同様に、PNP トランジスタ Q11 と NPN トランジスタ Q12 とを有する CH1 側のフォトサイリ

スタ 153 と、PNP トランジスタ Q13 と NPN トランジスタ Q14 とを有する CH2 側のフォトサイリスタ 154 とを備え、両フォトサイリスタ 153, 154 間には上記第 2 実施の形態～第 5 実施の形態における何れかのチャネル分離領域が形成されている。151 は LED である。

【0139】

そして、上記 CH1 側の NPN トランジスタ Q12 のベースと電極 T2 との間に、ゲート抵抗 155 と並列に N 型 FET (電界効果トランジスタ) 156 を接続している。同様に、CH2 側の NPN トランジスタ Q14 のベースと電極 T1 との間に、ゲート抵抗 157 と並列に N 型 FET 158 を接続している。そして、N 型 FET 156 のゲートを PNP トランジスタ Q11 のベースに接続する一方、N 型 FET 157 のゲートを PNP トランジスタ Q13 のベースに接続している。

【0140】

したがって、上記電極 T1 - 電極 T2 間にバイアスされている電源電圧のゼロクロス点近傍においては、N 型 FET 156, 158 はオフしており、NPN トランジスタ Q12, Q14 にはゲート抵抗 155, 157 の抵抗値に応じたベース・エミッタ電圧が印加されており、光信号を受光すると P ゲート拡散領域に発生する光電流の寄与によって NPN トランジスタ Q12, Q14 はオンする。これに対して、上記電源電圧のゼロクロス点から離れた時間においては、N 型 FET 156, 158 はオンするため、NPN トランジスタ Q12, Q14 のベース・エミッタ間が短絡され、光信号を受光しても NPN トランジスタ Q12, Q14 はオンできなくなる。

【0141】

こうして、上記電極 T1 - 電極 T2 間にバイアスされる電源電圧のゼロクロス点近傍のみにおいてフォトサイリスタをオンさせるゼロクロス機能が実現される。

【0142】

尚、図 19 に示すように、図 18 に示すゼロクロス機能を持たせた双方向フォトサイリスタチップの構成に、NPN トランジスタ Q12, Q14 のベース - コレクタ間にショットキーバリアダイオード 159, 160 を形成して、ショットキーバリアダイオードを形成したゼロクロス機能を有する双方向フォトサイリスタチップを構成することも可能である。

【0143】

尚、上記N型FET156, 158は、制御端子を有する他のスイッチング素子で構成しても一向に構わない。

【0144】

また、上述の説明においては、上記チャネル分離領域構造, ショットキーバリアダイオードの形成およびゼロクロス機能の夫々について、上記各実施の形態において個別に述べている。しかしながら、この発明ではこれらの構成や機能を必ずしも個別に所有する必要は無く、選択的に組み合わせて所有しても一向に差し支えない。例えば、上記第2実施の形態～第5実施の形態のうちの何れか1つにおけるチャネル分離領域構造に、上記第6実施の形態におけるショットキーバリアダイオードおよび上記第7実施の形態におけるゼロクロス機能を組み合わせても良いし、何れか一方のみを組み合わせても構わない。

【0145】**【発明の効果】**

以上より明らかなように、この発明の双方向フォトサイリスタチップは、1つの半導体チップの表面に略全幅に亘って形成されたチャネル分離領域によって、上記半導体チップの表面に形成された各フォトサイリスタ部のチャネルを分離している。したがって、上記チャネル分離領域によって、転流時において上記半導体チップを構成する基板内の少数キャリアの上記チャネル間での移動を制限することができ、転流特性 I_{com} を、本双方向フォトサイリスタのみでダイレクトに負荷を制御するSSRを実現するために必要な約200mA_{rms}以上にまで改善することができる。

【0146】

さらに、上記チャネル分離領域と各フォトサイリスタ部のチャネルおよび各拡散層との配列関係を、各フォトサイリスタ部の拡散領域を上記チャネル分離領域に沿って上記半導体チップの略全幅に亘って形成することが可能な配列関係にしている。したがって、各フォトサイリスタ部の拡散領域を、上記チャネル分離領域に沿って並行に上記半導体チップの略全幅に亘って形成することによって、上記半導体チップがチャネル分離領域によって2分割されているにも拘わらず、本

双方向フォトサイリスタのみでダイレクトに負荷を制御するのに必要な 0.2 A 程度の負荷電流に耐え得る大きな動作電流を得ることができる。

【0 1 4 7】

すなわち、本双方向フォトサイリスタチップを上記 S S R 用の光点弧カプラとして用いることによってメインサイリスタを省略することができ、部品点数が少ない安価な S S R を実現することができるのである。

【0 1 4 8】

また、この発明の光点弧カプラは、S S R のメインサイリスタ程度の機能を備えた上記双方向フォトサイリスタチップと L E D とで構成したので、0.2 A 程度の負荷であれば上記 L E D からの光信号に応じてダイレクトに制御することができる。

【0 1 4 9】

また、この発明の S S R は、上記点弧カプラとスナバ回路とによって構成したので、負荷を制御するためのメインサイリスタを省略することができ、部品点数の少ない安価な S S R を光感度を損なうことなく実現することができる。

【図面の簡単な説明】

【図 1】 この発明の双方向フォトサイリスタチップにおける概略パターンレイアウトを示す図である。

【図 2】 図 1 における概略 B - B' 矢視断面(光オン時)図である。

【図 3】 図 1 における概略 B - B' 矢視断面(電圧反転時(転流時))図である。

【図 4】 基板裏面の N 型不純物(リン)濃度と転流特性との関係を示す図である。

【図 5】 基板裏面の N 型不純物濃度と臨界オフ電圧上昇率との関係を示す図である。

【図 6】 図 1 に示す双方向フォトサイリスタチップを含む光点弧カプラを用いた S S R の回路図である。

【図 7】 双方向フォトサイリスタチップの各リードフレームへの図 1 とは異なる接続方法を示す図である。

【図 8】 図 1～図 3 とは異なる双方向フォトサイリスタチップにおけるパターンレイアウトの概略を示す図である。

【図 9】 図 1 および図 8 におけるチャネル分離領域の具体的構成を示す断面図である。

【図 10】 図 9 とは異なるチャネル分離領域の構成を示す断面図である。

【図 11】 図 9 および図 10 とは異なるチャネル分離領域の構成を示す断面図である。

【図 12】 図 9～図 11 とは異なるチャネル分離領域の構成を示す断面図である。

【図 13】 図 1 および図 8 とは異なる双方向フォトサイリスタチップにおけるパターンレイアウトの一部分を示す図である。

【図 14】 図 13 における概略 C - C' 矢視断面図である。

【図 15】 図 13 に示す双方向フォトサイリスタチップを用いた光点弧カプラの等価回路図である。

【図 16】 ショットキーバリアダイオードの面積と順方向電圧 V_F との関係を示す図である。

【図 17】 ショットキーバリアダイオードの面積と転流特性との関係を示す図である。

【図 18】 図 1, 図 8 および図 13 とは異なる双方向フォトサイリスタチップを用いた光点弧カプラの等価回路図である。

【図 19】 図 1, 図 8, 図 13 および図 18 とは異なる双方向フォトサイリスタチップを用いた光点弧カプラの等価回路図である。

【図 20】 従来の SSR の回路構成を示す図である。

【図 21】 図 20 における光点弧カプラの等価回路図である。

【図 22】 図 21 における双方向フォトサイリスタの概略パターンレイアウトを示す図である。

【図 23】 図 22 に示す双方向フォトサイリスタの動作を説明するための A - A' 矢視断面図である。

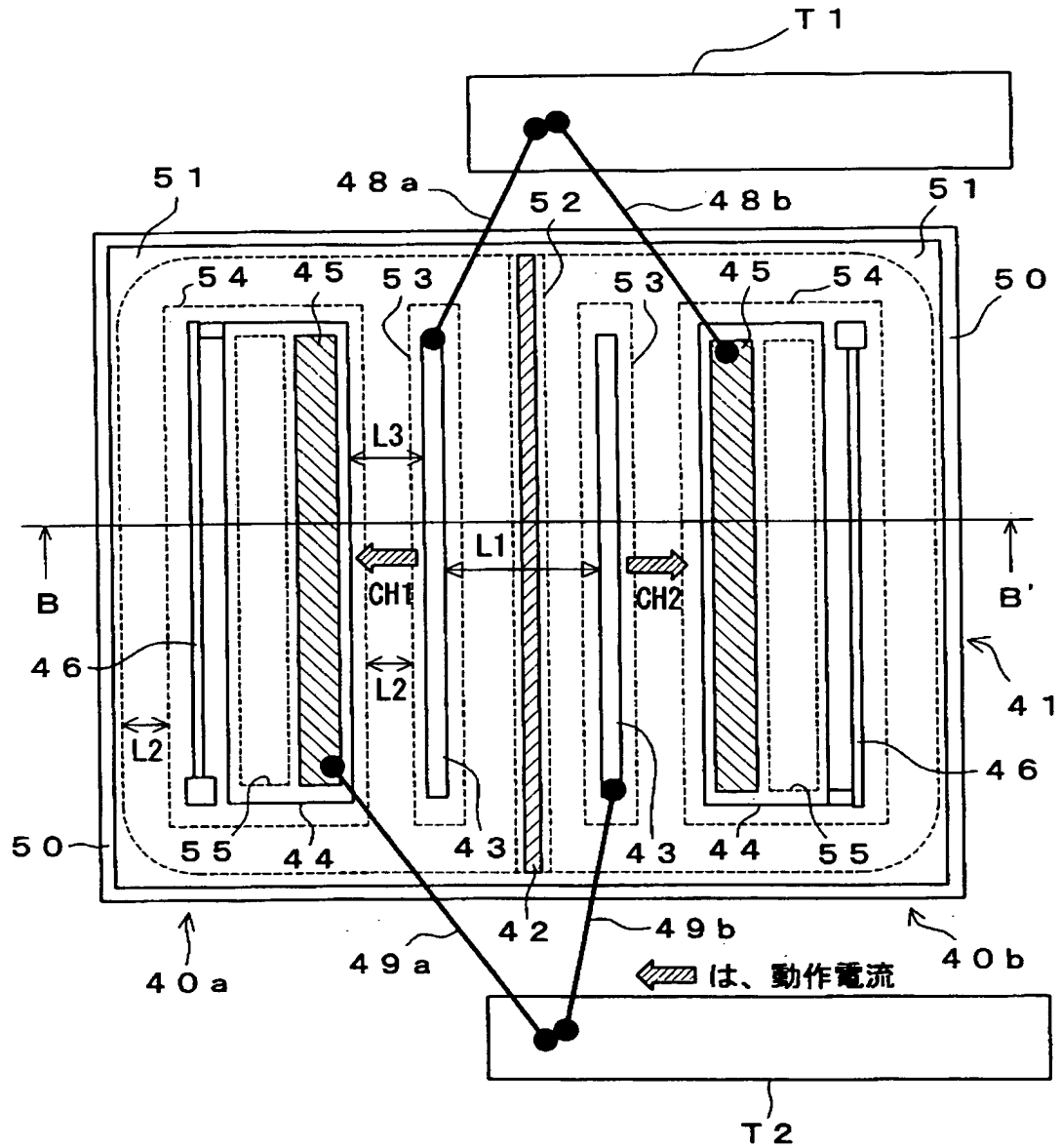
【図 24】 従来の光 PNP N スイッチにおける平面図である。

【符号の説明】

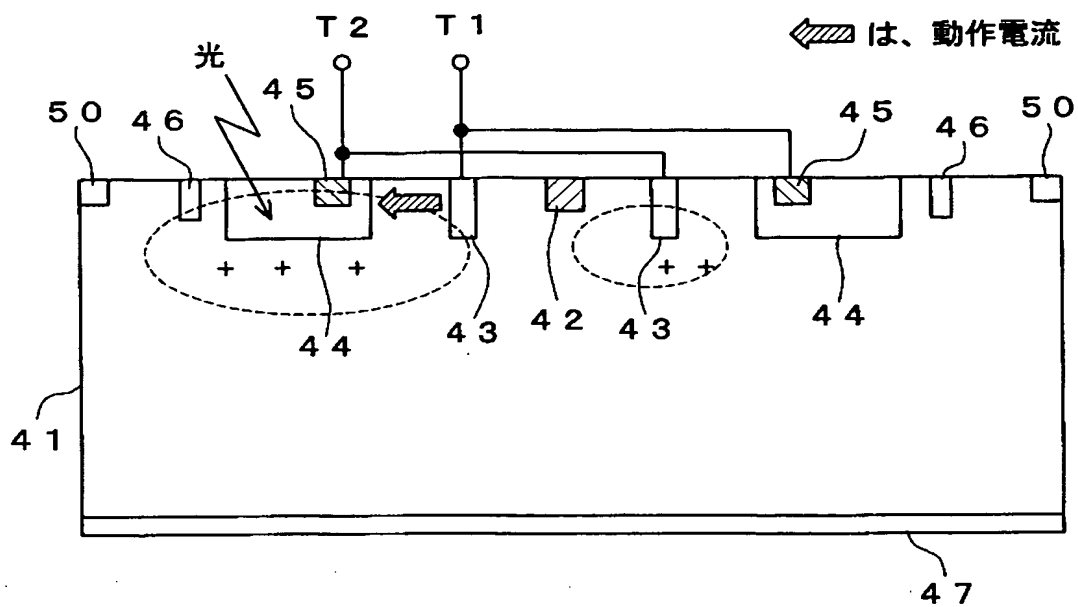
41, 71, 81, 91, 101, 111, 131…N型シリコン基板、
42, 72, 82, 92, 102, 112…チャネル分離領域、
43, 76, 85, 94, 104, 114, 132…アノード拡散領域、
44, 74, 133…Pゲート拡散領域、
45, 75, 134…カソード拡散領域、
46, 155, 157…ゲート抵抗、
47…N+層、
56, 80, 100, 110, 122…残存正孔、
57, 141, 151…LED、
58, 142, 152…双方向フォトサイリスタチップ、
59…光点弧カップラ、
60…スナバ回路、
82'…ダイシング溝、
84, 116…N型拡散領域、
87, 96, 106, 118…酸素ドーパ半絶縁多結晶シリコン膜、
89, 90, 98, 99, 108, 109, 120, 121, 137, 138, 139
…Al電極、
96'96''…リン・酸素ドーパ半絶縁多結晶シリコン膜、
115…P型拡散領域
143, 144, 153, 154…フォトサイリスタ、
Q7, Q9, Q11, Q13…PNPトランジスタ、
Q8, Q10, Q12, Q14…NPNトランジスタ、
145, 146, 159, 160…ショットキーバリアダイオード、
156, 158…N型FET。

【書類名】 図面

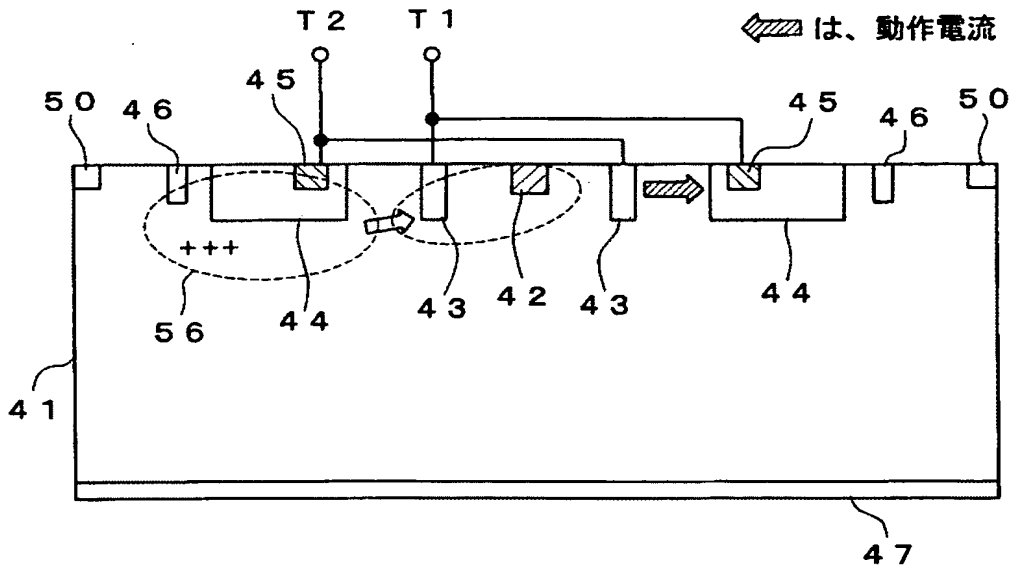
【図 1】



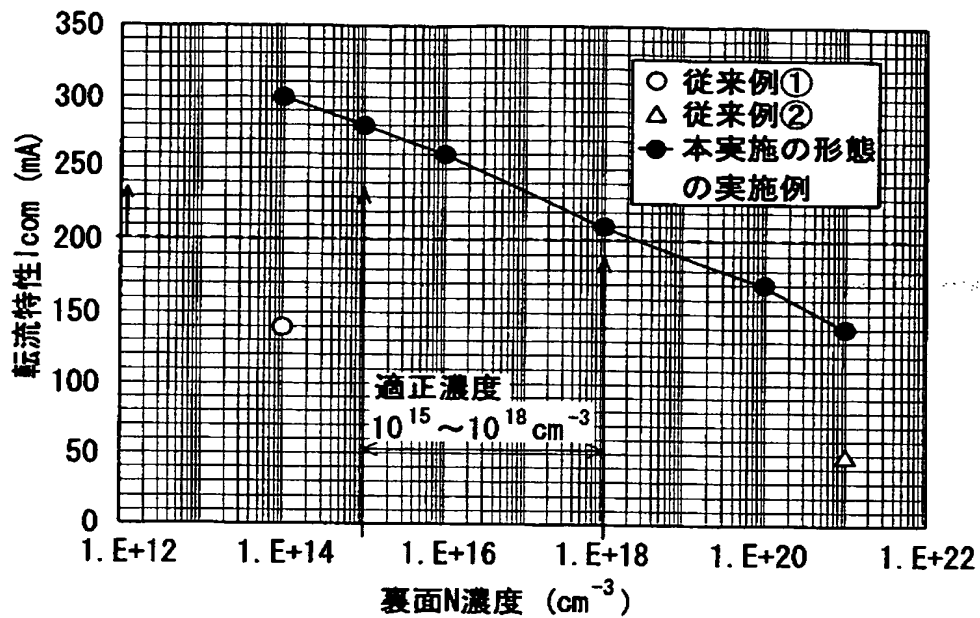
【図 2】



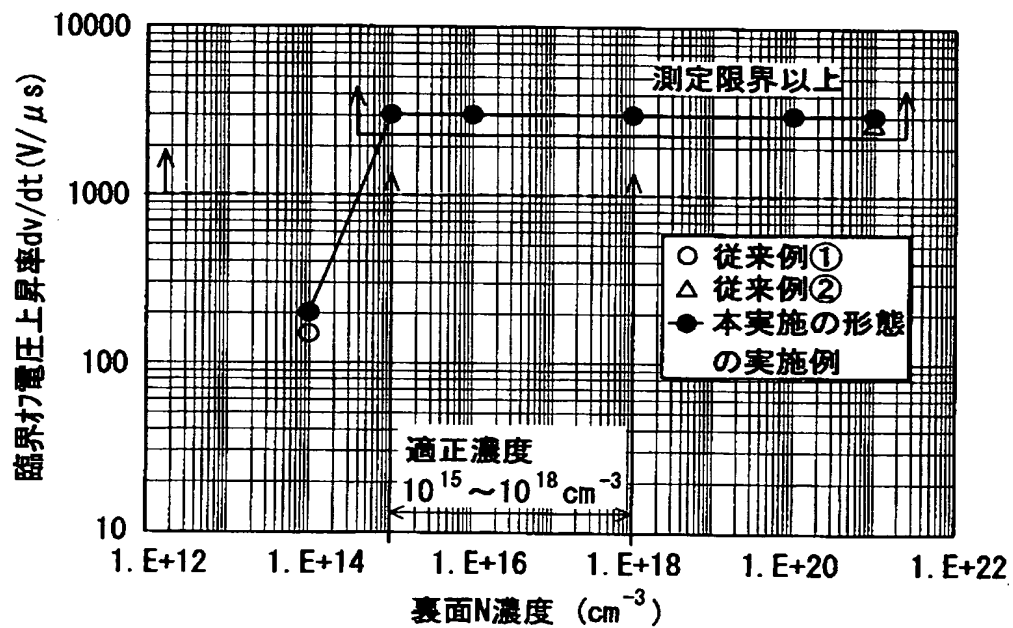
【図 3】



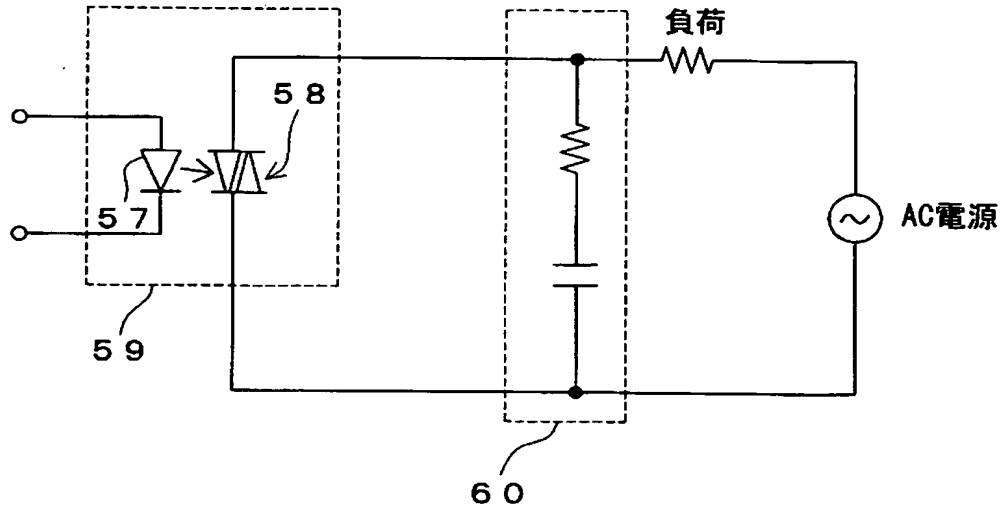
【図 4】



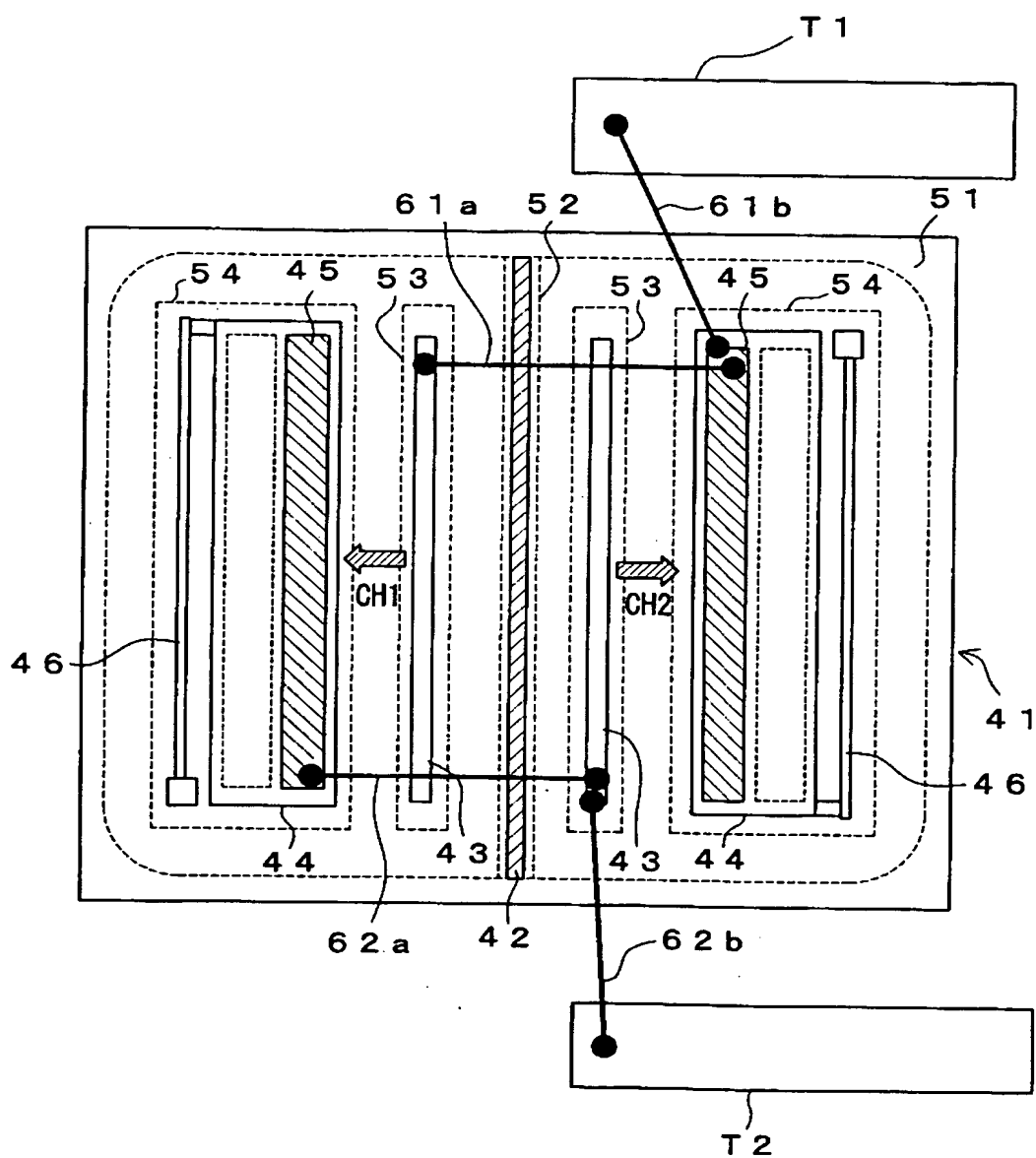
【図 5】



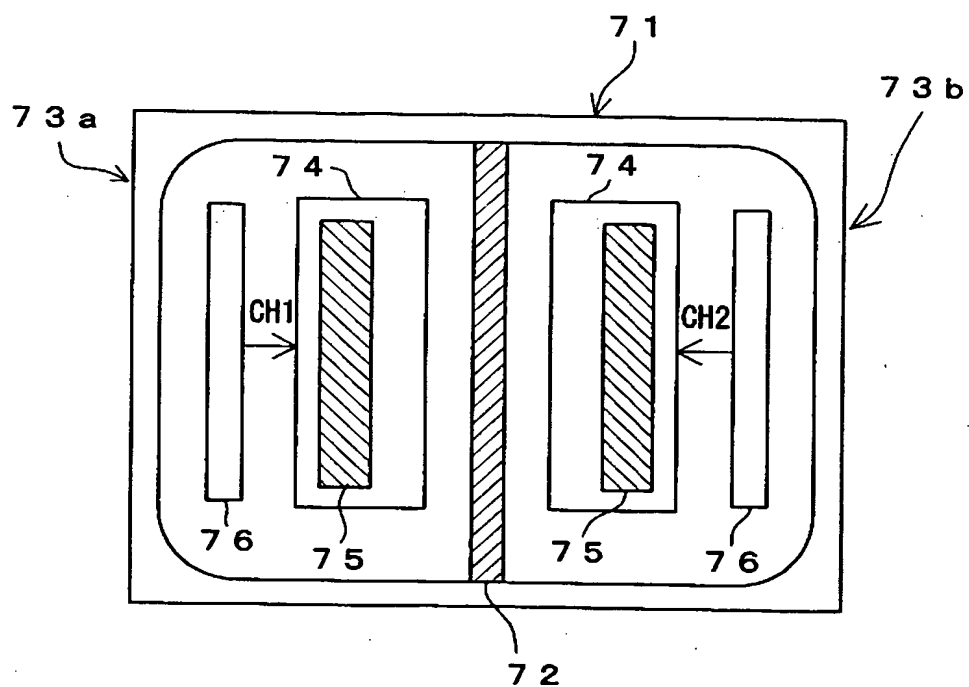
【図 6】



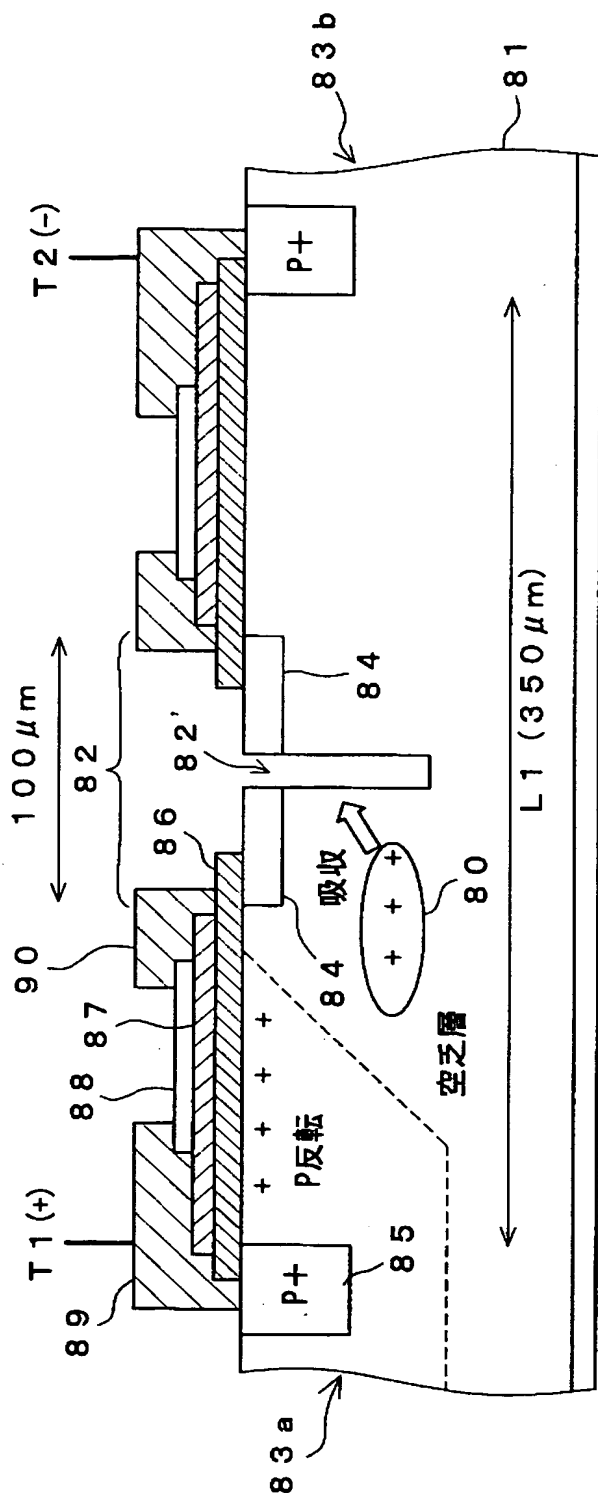
【図 7】



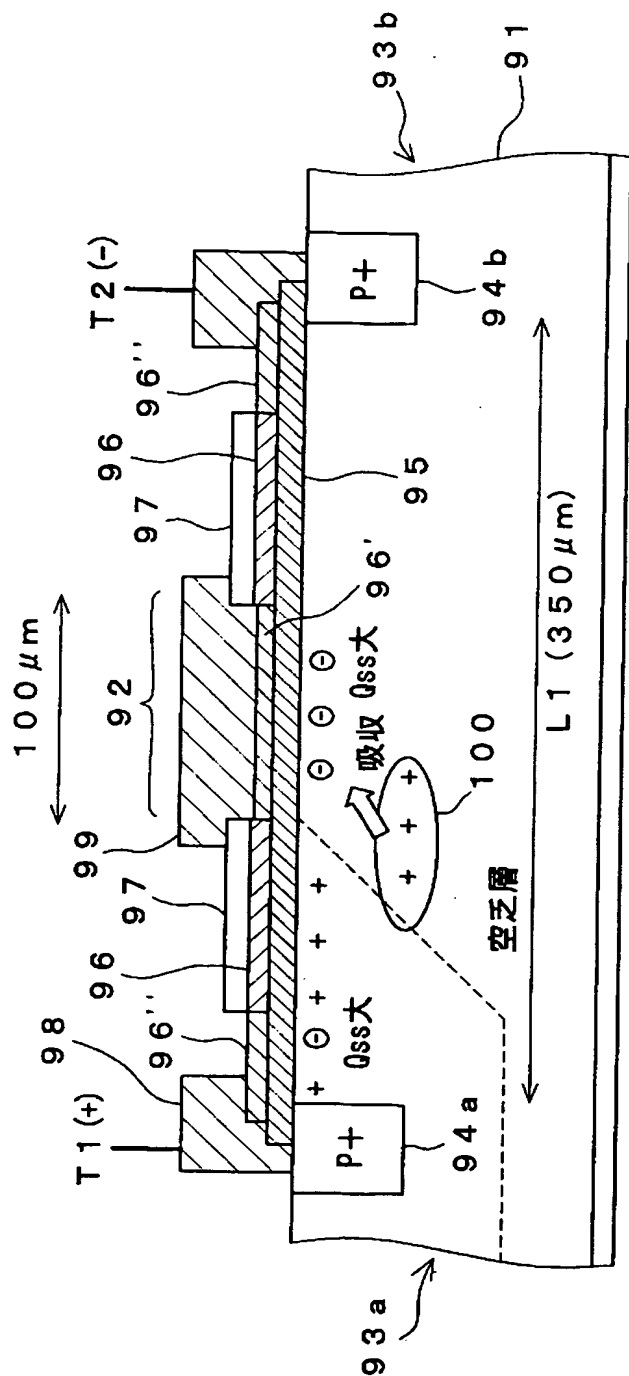
【図 8】



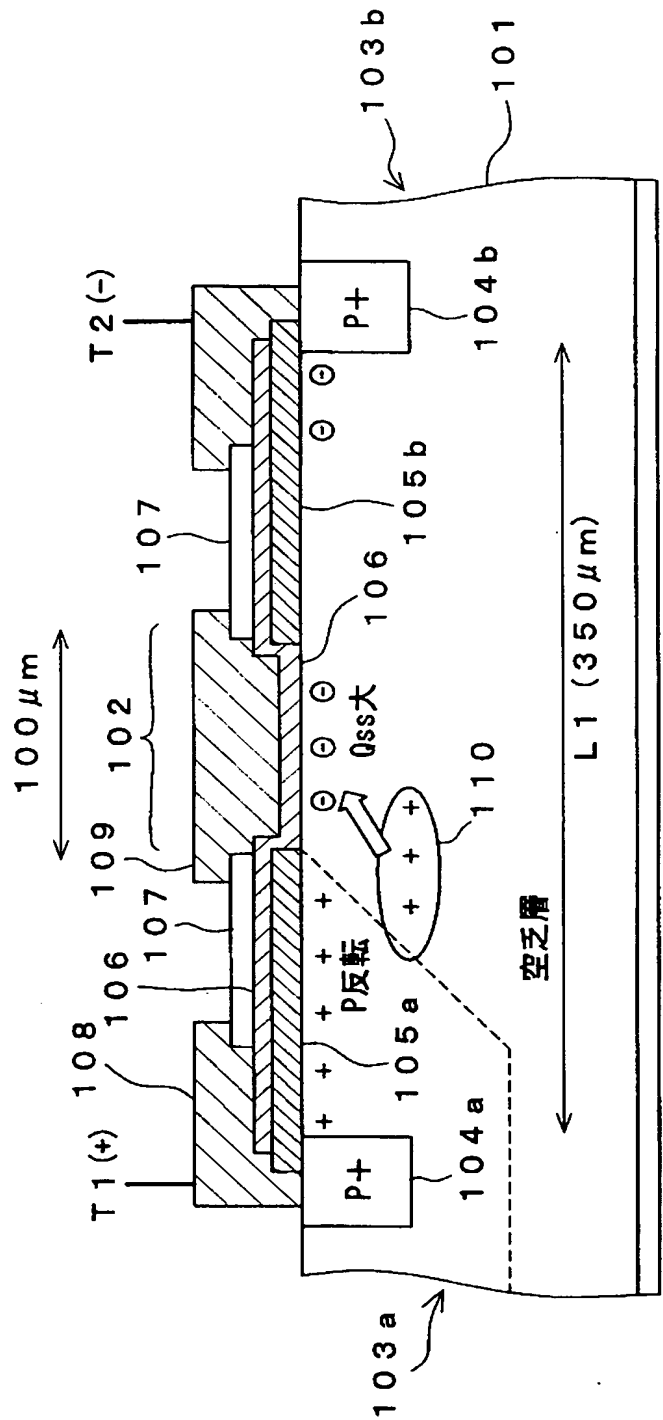
【図 9】



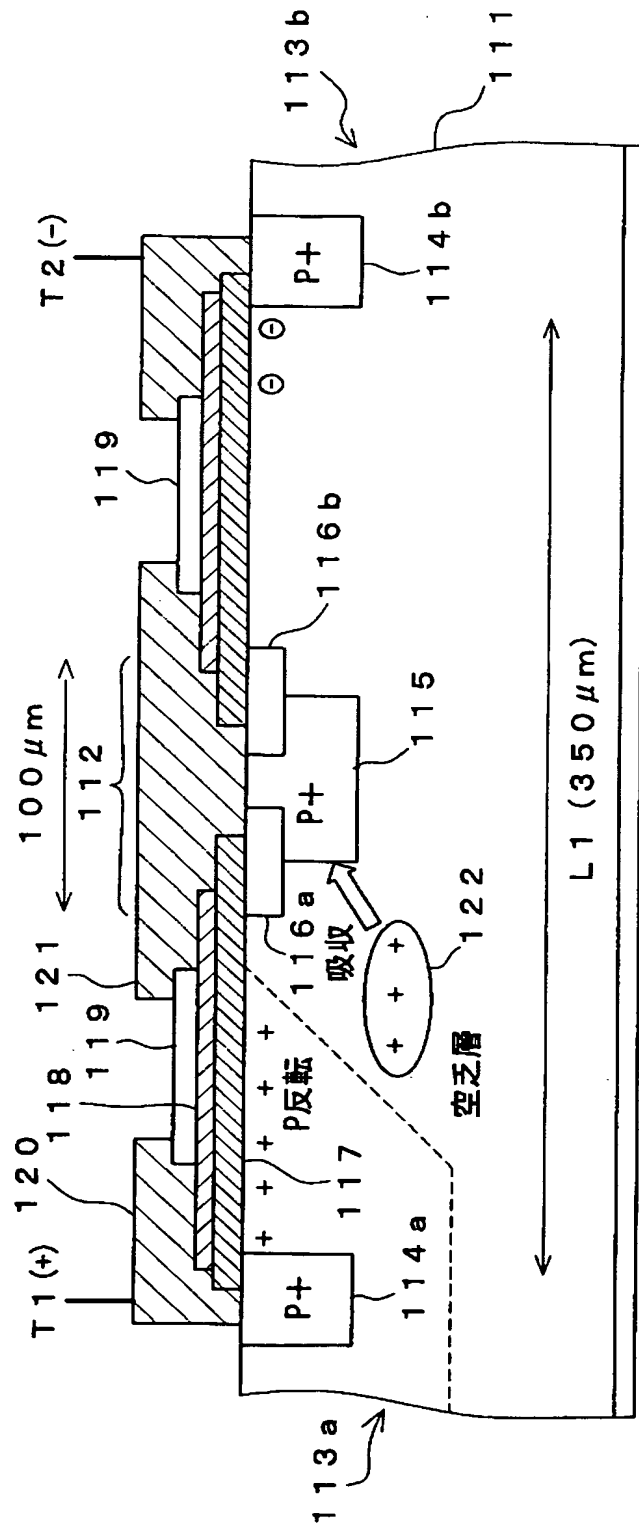
【図 10】



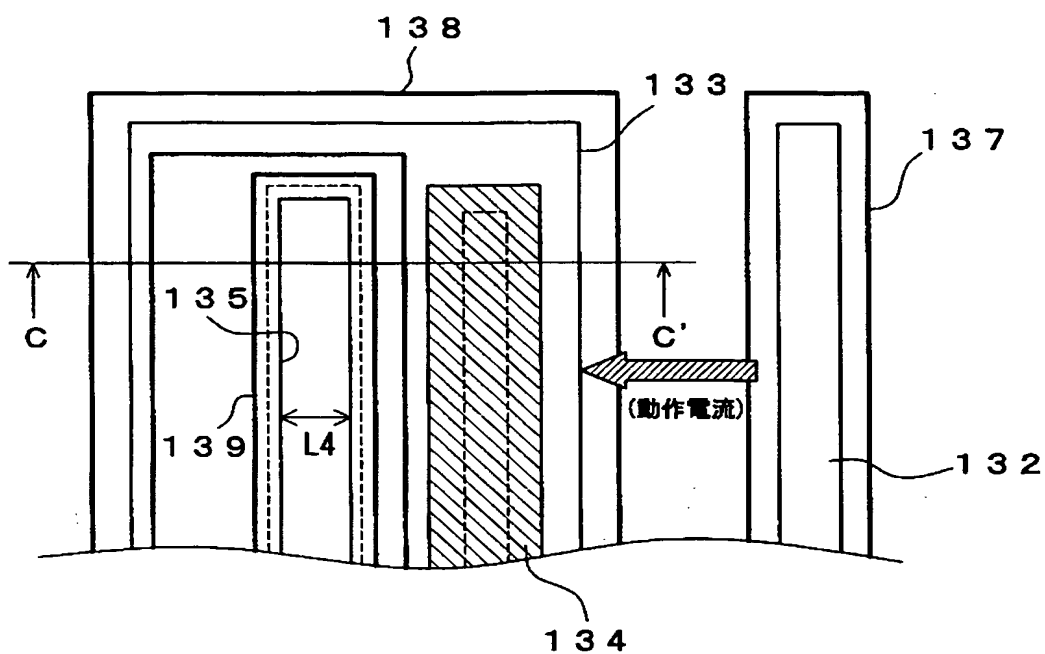
【図11】



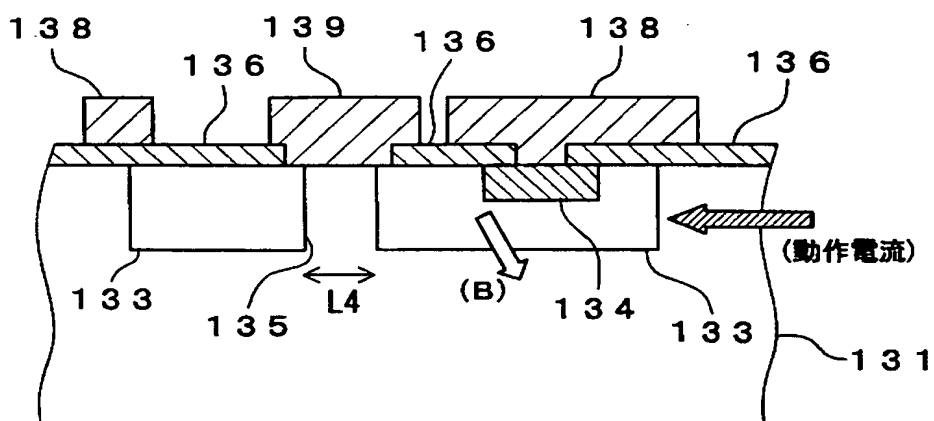
【図 12】



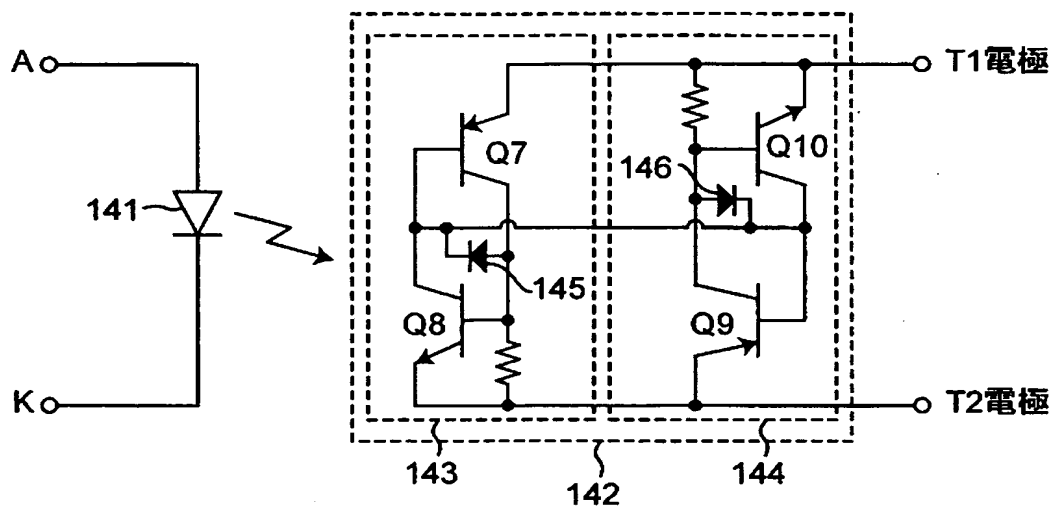
【図 13】



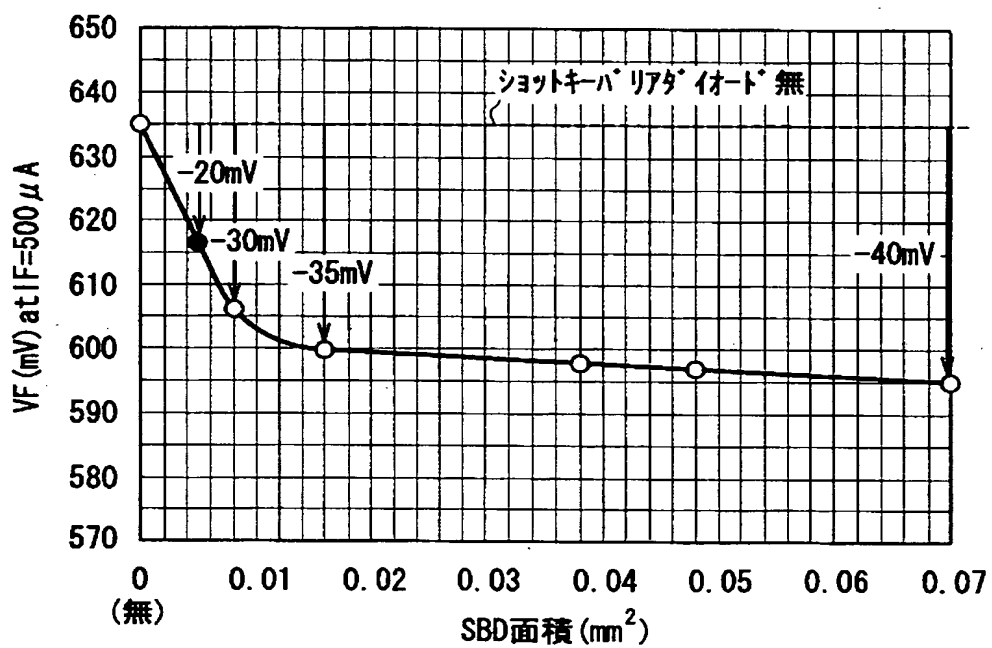
【図 14】



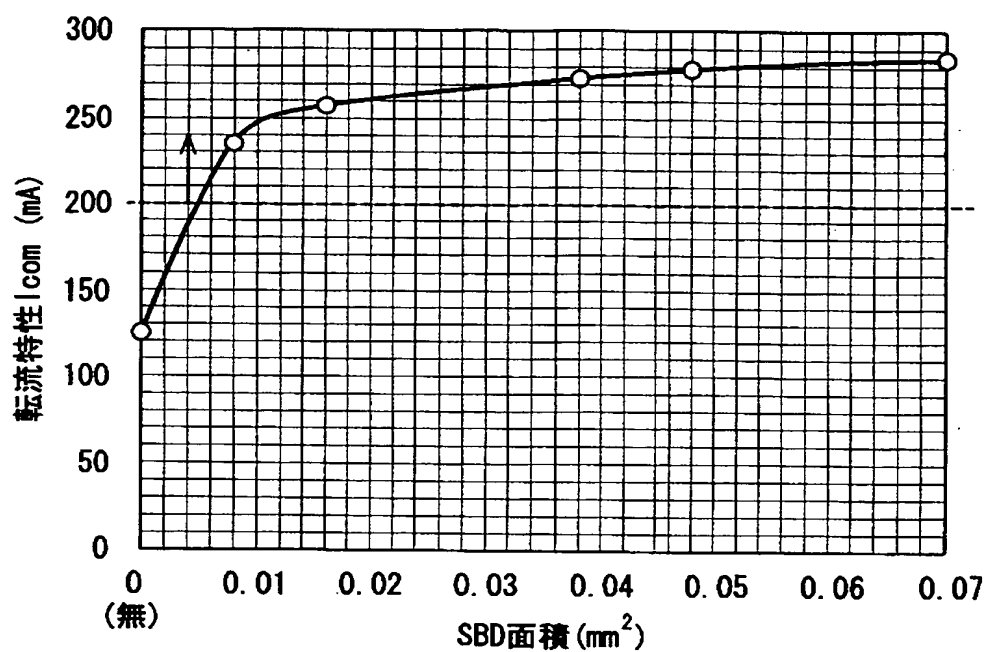
【図 15】



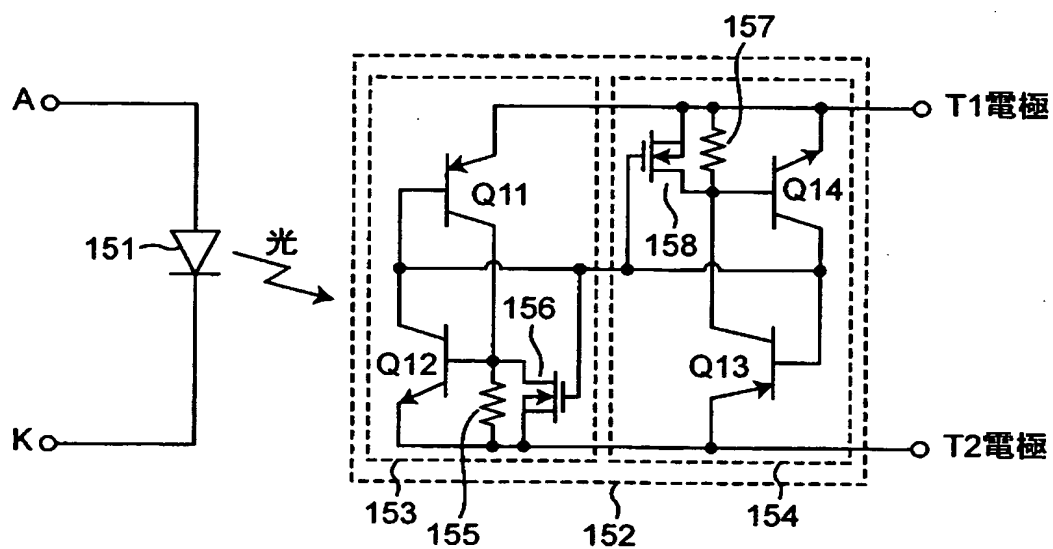
【図 16】



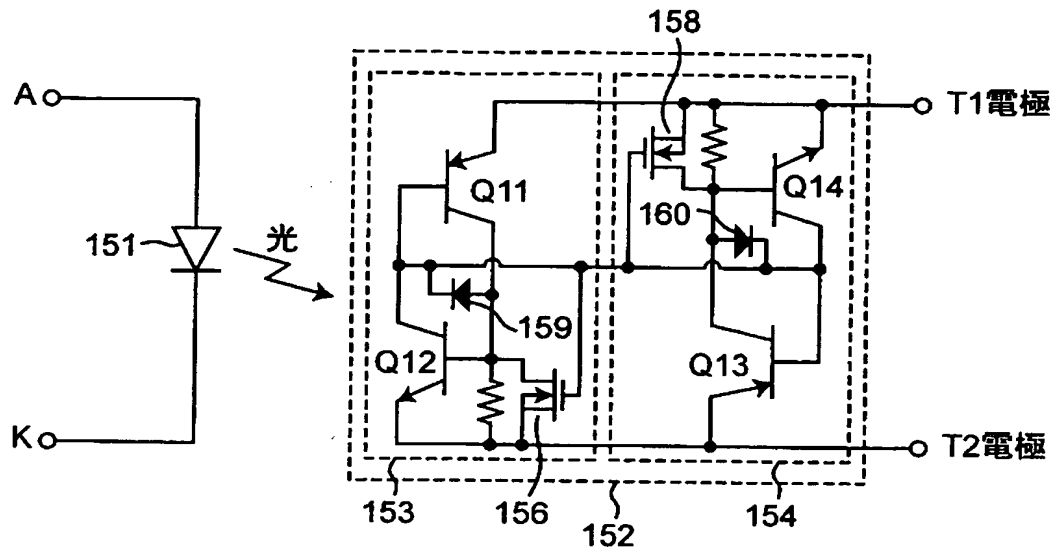
【図 17】



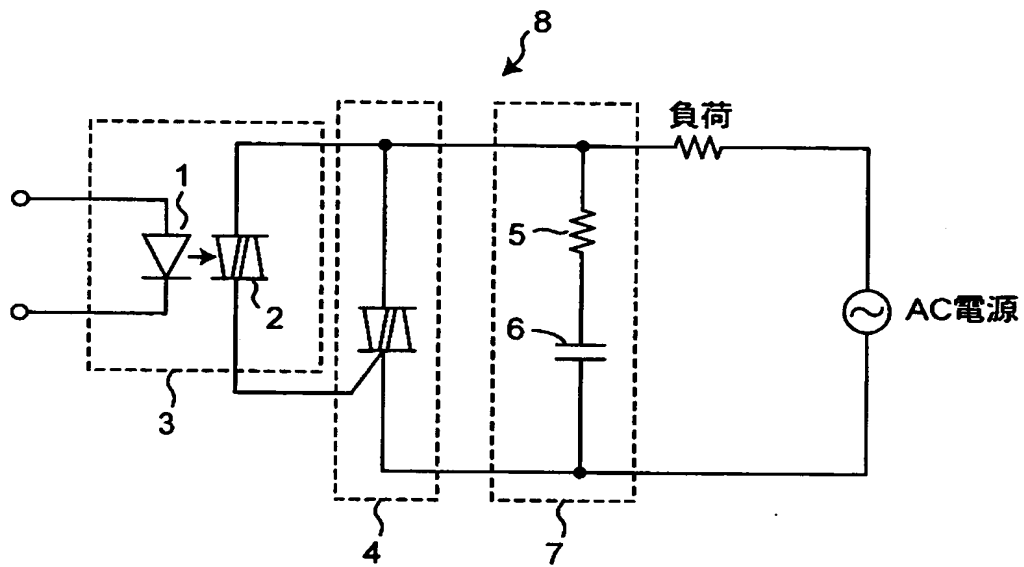
【図 18】



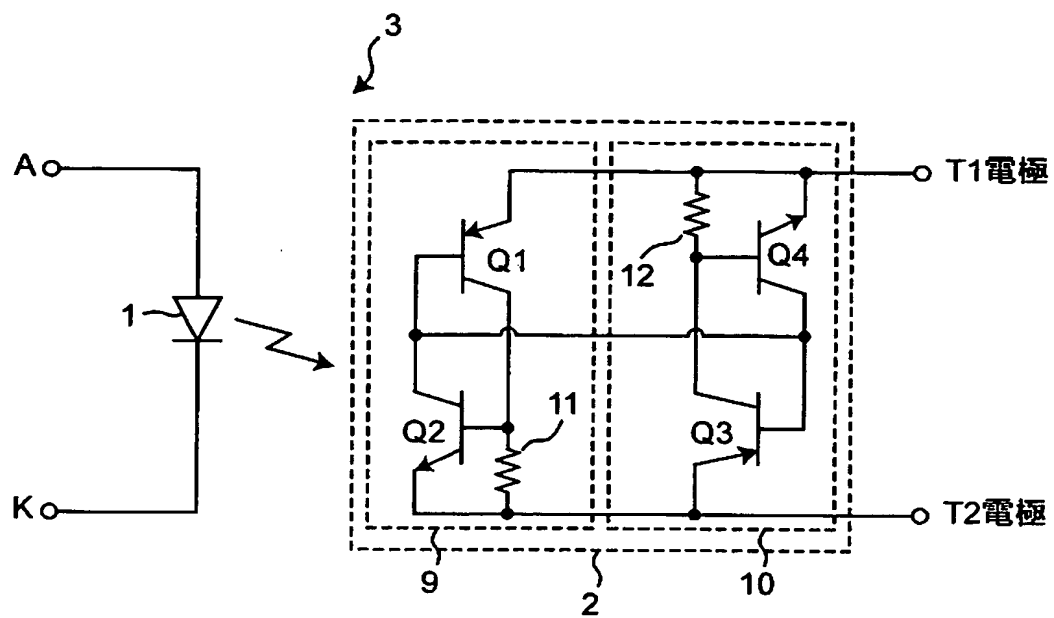
【図 19】



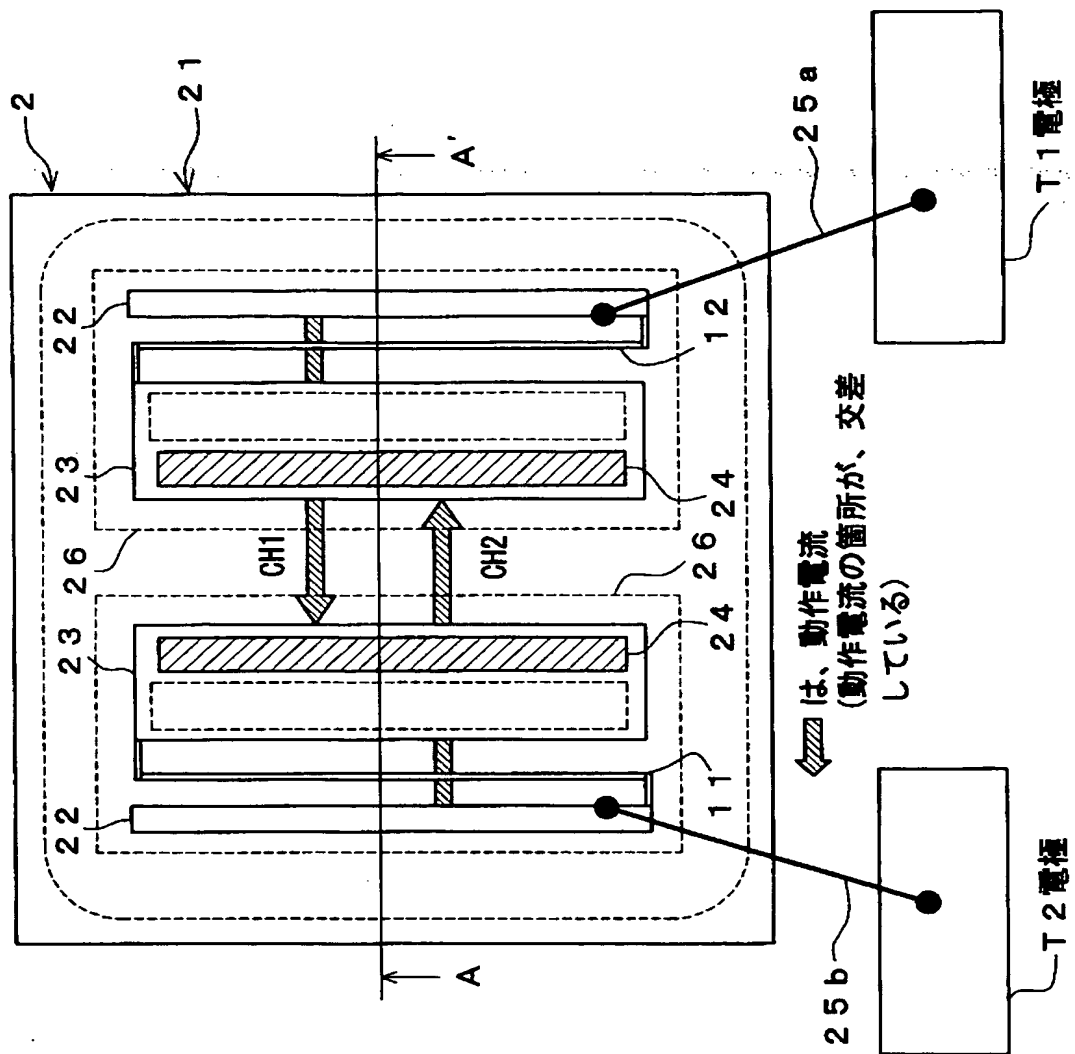
【図 20】



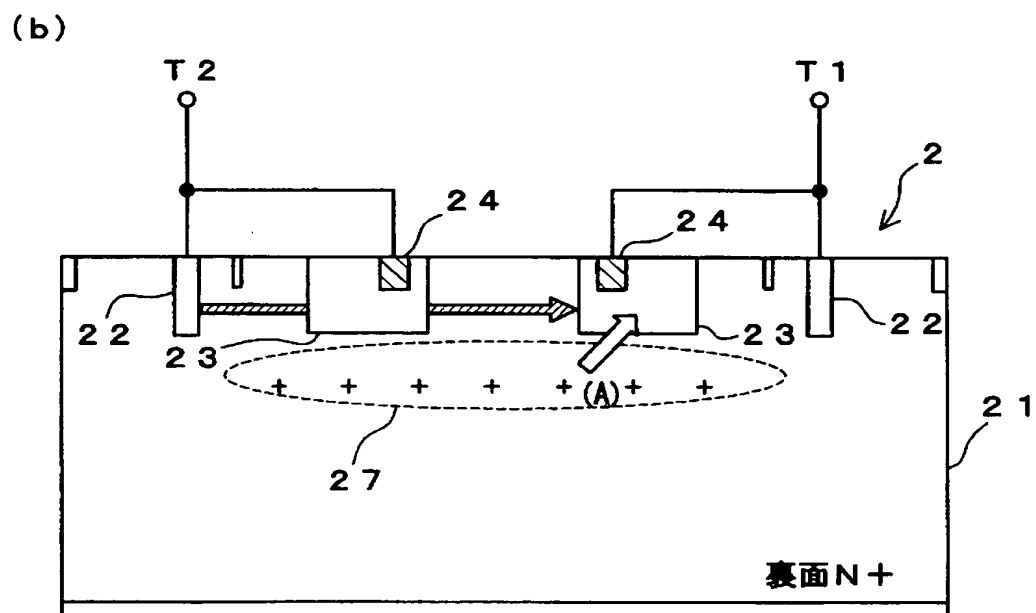
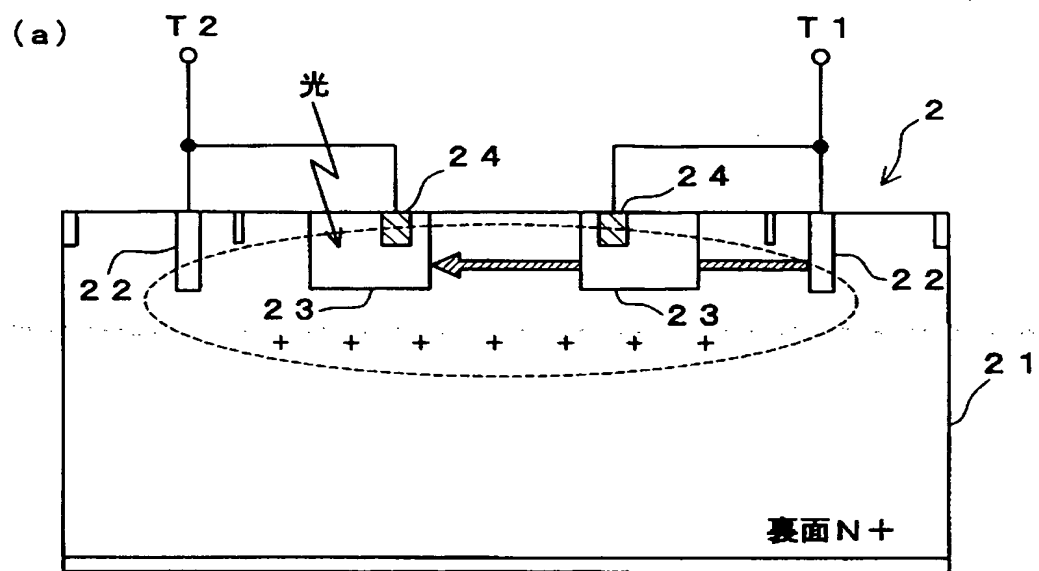
【図 21】



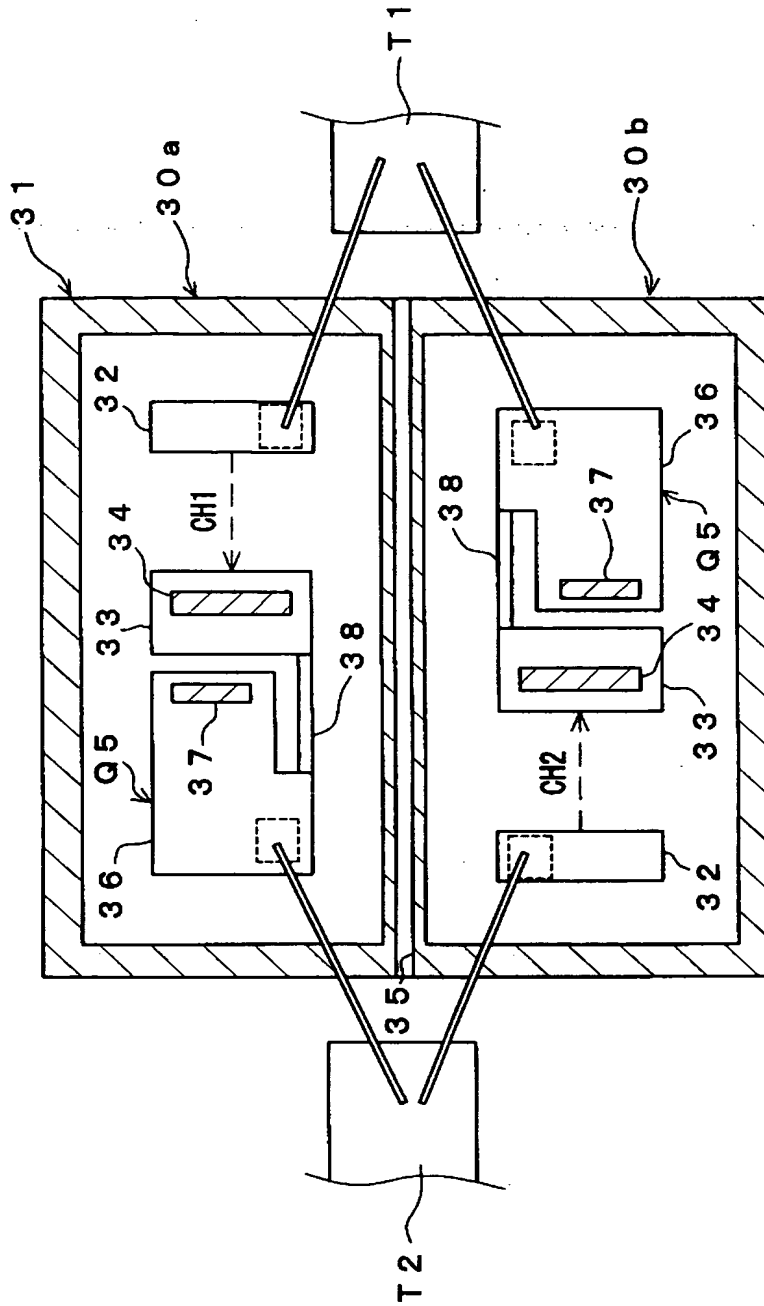
【図 22】



【図 23】



【図 24】



【書類名】 要約書

【要約】

【課題】 1チップで光点弧して負荷を制御する機能を有すると共にSSRのメインサイリスタを省略可能にする。

【解決手段】 N型シリコン基板41の幅1杯にチャネル分離領域42を形成し、左側部分40aと右側部分40bとに、アノード拡散領域43とPゲート拡散領域44とカソード拡散領域45とがチャネル分離領域42に平行にN型シリコン基板41の幅1杯に形成して成るフォトサイリスタを形成し、逆並列に配線する。こうして、チャネル分離領域42によって、転流時における残存正孔のチャネル間移動を制限し、転流失敗を抑制して転流特性を改善する。また、チップがチャネル分離領域42で分割されているにも拘わらず0.2A程度の負荷電流を制御可能な大きな動作電流を得る。すなわち、本双方向フォトサイリスタチップを用いれば、メインサイリスタを省略して安価なSSRを実現できる。

【選択図】 図1

特願 2 0 0 2 - 3 5 7 6 5 0

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 0 4 9]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社